

Docket No.: 67161-109

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Akira YAMAZAKI	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 26, 2003	:	Examiner: Unknown
	:	
For: PSEUDO-STATIC SYNCHRONOUS SEMICONDUCTOR MEMORY DEVICE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

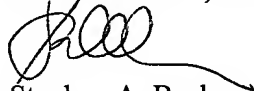
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-046109, filed February 24, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: September 26, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

67161-109
YAMAZAKI
September 26, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月24日

出 願 番 号

Application Number:

特願2003-046109

[ST.10/C]:

[JP 2003-046109]

出 願 人

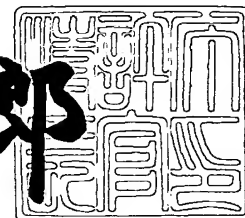
Applicant(s):

三菱電機株式会社

2003年 3月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3019430

【書類名】 特許願

【整理番号】 541929JP01

【提出日】 平成15年 2月24日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

 【氏名】 山崎 彰

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100064746

 【弁理士】

 【氏名又は名称】 深見 久郎

【選任した代理人】

 【識別番号】 100085132

 【弁理士】

 【氏名又は名称】 森田 俊雄

【選任した代理人】

 【識別番号】 100083703

 【弁理士】

 【氏名又は名称】 仲村 義平

【選任した代理人】

 【識別番号】 100096781

 【弁理士】

 【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期型半導体記憶装置

【特許請求の範囲】

【請求項 1】 擬似的にスタティック型メモリとして動作する同期型半導体記憶装置であって、

行列状に配置される複数のダイナミック型メモリセル、

外部からの動作制御信号をクロック信号に同期して取込み内部動作指示信号を生成する信号入力回路、

活性化時、外部行アドレス信号に従って前記メモリセルの行を選択する行選択回路、

活性化時、外部列アドレス信号に従って前記メモリセルの列を選択し、該選択列へデータアクセスを行なう列系回路、および

前記信号入力回路からの第 1 の内部動作指示信号に従って、前記行選択回路および前記列系回路を所定のシーケンスで順次活性および非活性化しかつ前記信号入力回路からの第 2 の内部動作指示信号に従って、前記行選択回路の非活性化を禁止して前記行選択回路を活性状態に維持し、かつさらに前記信号入力回路からの第 3 の内部動作指示信号に従って前記活性状態に維持された行選択回路を非活性化する制御回路を備える、同期型半導体記憶装置。

【請求項 2】 前記外部からの動作制御信号は、データの書込を指示する書込指示信号、データの読出を指示する読出指示信号、ページモード動作を指示するページモード指示信号およびページモード動作完了を指示するプリチャージ指示信号を含み、

前記信号入力回路は、前記書込指示信号および前記読出指示信号に従って前記第 1 の内部動作指示信号を活性化し、前記ページモード指示信号の活性化時、前記第 2 の内部指示信号を活性化し、かつ前記プリチャージ指示信号に従って前記第 3 の内部動作指示信号を活性化する、請求項 1 記載の同期型半導体記憶装置。

【請求項 3】 前記プリチャージ指示信号は、単独で活性化される、請求項 2 記載の同期型半導体記憶装置。

【請求項 4】 前記プリチャージ指示信号は、前記書込指示信号および読出

指示信号の一方と共に活性化される、請求項 2 記載の同期型半導体記憶装置。

【請求項 5】 前記第 2 の内部動作指示信号の有効／無効を設定するためのデータを記憶するモード設定回路をさらに備える、請求項 1 記載の同期型半導体記憶装置。

【請求項 6】 前記第 2 の内部動作指示信号の活性化時、前記クロック信号の 2 倍の周波数の内部クロック信号を生成する内部クロック生成回路をさらに備え、

前記制御回路は、前記内部クロック信号に従って前記列系回路を活性化する、請求項 1 記載の同期型半導体記憶装置。

【請求項 7】 前記内部クロック生成回路は、前記第 2 の内部動作指示信号の活性化時、前記クロック信号の立上がりおよび立下がりに応答して所定の時間幅のパルス信号を前記内部クロック信号として生成する、請求項 6 記載の同期型半導体記憶装置。

【請求項 8】 前記内部クロック生成回路は、

前記クロック信号に同期しかつ互いに位相が $1/4$ 周期ずれた 4 相クロック信号を生成する同期クロック生成回路と、

前記 4 相クロック信号のうちの互いに同相で位相が $1/4$ 周期ずれた 2 つのクロック信号をそれぞれ合成して 2 相のクロック信号を生成するクロック合成回路と、

前記第 2 の内部動作指示信号の非活性化に応答して、前記 2 相クロック信号のうちの 1 相のクロック信号の生成を禁止するクロック制御回路と、

前記クロック合成回路の出力信号に従って前記内部クロック信号を生成するクロック出力回路を備える、請求項 6 記載の同期型半導体記憶装置。

【請求項 9】 前記制御回路は、

前記第 1 の内部動作指示信号に従って、前記行選択回路を活性化する行系活性制御回路と、

前記行系活性制御回路の所定の出力制御信号に従って前記第 1 のプリチャージトリガ信号を生成するサイクルプリチャージ制御回路と、

前記第 3 の内部動作指示信号に従って第 2 のプリチャージトリガ信号を生成す

るページプリチャージ制御回路と、

前記第 2 の内部動作指示信号に従って前記第 1 および第 2 のプリチャージトリガ信号の一方を選択して前記行系活性制御回路へプリチャージ指示信号を与えるトリガ切替回路とを備え、前記行系活性制御回路は前記プリチャージ指示信号の活性化に応答して前記行選択回路を非活性化し、さらに

前記行系活性制御回路からの前記所定の制御信号と前記第 2 の内部動作指示信号と前記第 1 の内部動作指示信号とに両方とも応答して前記列系回路を活性化しかつ活性化後非活性化する列系活性制御回路を備える、請求項 1 記載の同期型半導体記憶装置。

【請求項 1 0】 前記メモリアレイは、複数のバンクに分割され、

前記制御回路は、バンクを特定するバンクアドレス信号に従って、指定されたバンクに対して前記信号入力回路からの内部動作指示信号が指示する動作を制御する、請求項 1 記載の同期型半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、クロック信号に同期して外部からの信号の取込およびデータの転送を行なう同期型半導体記憶装置に関し、特に、ロジックと同一半導体基板上に集積化される D R A M（ダイナミック・ランダム・アクセス・メモリ）に関する。より特定的には、この発明は、擬似的に S R A M（スタティック・ランダム・アクセス・メモリ）として動作する D R A M、すなわち、擬似 S R A M の消費電力を低減するための構成に関する。

【0 0 0 2】

【従来の技術】

近年、1つの半導体チップ上にプロセッサおよびメモリ等を集積化し、1つのシステムを1つの半導体チップで実現するシステム L S I が、システムのサイズおよび電力を低減するために広く用いられている。このシステム L S I においては、オンチップのメモリの容量が、システムの高機能化および高性能化に伴って年々増大する一方である。従来、このシステム L S I のオンチップメモリとして

は、高速な S R A M が用いられ、システム L S I に搭載されるプロセッサの一次キャッシュメモリとして利用される。主記憶としては、オフチップの D R A M が用いられる。このように、システム L S I においても、メモリを階層的に構成するのは、以下の理由による。一般に広く知られているように、プロセッサと D R A M の動作周波数のギャップが年々大きくなってきたため、プロセッサが D R A M へ直接アクセスを行なう場合、データ授受のためのプロセッサの待ち時間が長くなり、これがボトルネックとなってシステム性能を低下させるためである。

【 0 0 0 3 】

そこで、プロセッサのデータアクセスの局所性を利用し、高速 S R A M を内蔵し、そこに主記憶の D R A M メモリ空間の一部をバッファする。プロセッサは、内蔵 S R A M に対しアクセスすることにより、待ち時間を低減することができ、応じてシステム性能が向上する。しかしながら、プロセッサが、内蔵 S R A M がバッファしているメモリ空間の範囲外に対してアクセスを行なった場合には、この内蔵 S R A M にバッファされているデータをオフチップの D R A M へ転送して書き戻しを行ない（コピーバック動作）、このプロセッサが要求する新しいメモリ空間のデータを D R A M から内蔵 S R A M へ転送し、この内蔵 S R A M のバッファするメモリ空間を書直す必要がある。

【 0 0 0 4 】

システム L S I とオフチップの D R A M とを結合するデータバスは、システム L S I のパッケージのピン数の制約により、16ビットから32ビット程度の幅である。したがって比較的小さなビット幅で、データ転送を行なう必要があり、複数回に分割して内蔵 S R A M とオフチップの D R A M との間でデータ転送が行なわれる。この結果、このデータ転送がボトルネックとなり、やはりシステム性能が低下する。

【 0 0 0 5 】

このようなオフチップに主記憶の D R A M を設けるシステム構成の問題点を解決する方法として、近年注目を浴びてきているのが、D R A M をシステム L S I に内蔵することにより、D R A M のデータバス幅を256ビット以上に拡大し、S R A M と D R A M との間で1度にデータ転送を行なう手法である。この広いバ

ス幅を利用することにより、バスボトルネックの問題が大幅に改善される。しかしながら、メモリの階層化に伴う S R A M - D R A M 間のデータ転送の期間、プロセッサは待機状態に維持される必要があり、依然、システム性能が低下する。

【 0 0 0 6 】

このメモリ階層化による性能劣化の問題を解消するためには、内蔵 S R A M のメモリ容量を主記憶並に大容量化するのが 1 つの方法である。S R A M セルは、フル C M O S 構成の場合、6 個の M O S トランジスタ（絶縁ゲート型電界効果トランジスタ）で構成される。一方、D R A M は、メモリセルが、通常、1 個のトランジスタと 1 個の M O S トランジスタとで構成される。したがって、S R A M は、セル面積が D R A M と比べて大きいため、オンチップ S R A M では、十分にオンチップのメモリ容量を大きくすることができない。

【 0 0 0 7 】

逆に、プロセッサと D R A M のみを用い、S R A M を用いないシステム構成では、プロセッサと D R A M の動作周波数のギャップにより、システム性能が劣化する。このような問題を解決するために、D R A M メモリセルを用いた高速な擬似 S R A M の研究が活発になってきている。高速擬似 S R A M は、メモリセルに D R A M セルを用いているものの、外部から見た場合、S R A M と同様に動作するため、高速かつ大記憶容量のメモリをオンチップでシステム L S I に搭載し、メモリの階層構成を解消してシステム性能を向上させることを図る。このような擬似 S R A M の構成は、たとえば特許文献 1（特開平 2 - 8 7 3 9 9 号公報）に示されている。

【 0 0 0 8 】

この特許文献 1 に示される擬似 S R A M においては、外部アクセス制御信号として、通常の S R A M と同様に、チップイネーブル信号 / C E を利用する。また行および列アドレス信号を並行して与え、このチップイネーブル信号 / C E の活性化により内部で所定のシーケンスで行および列選択動作を活性化する。

【 0 0 0 9 】

D R A M セルの記憶データのリフレッシュ時には、S R A M において用いられていないピン端子または出力イネーブル信号端子をリフレッシュ制御信号 / R F

S H入力端子として利用する。

【 0 0 1 0 】

チップイネーブル信号／C Eのトグルにより1つのアクセスサイクルが決定され、チップイネーブル信号／C Eの活性化に従って行および列アクセスが実行されるため、外部からは、この擬似S R A Mを、S R A Mと同様に動作させることができる。

【 0 0 1 1 】

【特許文献1】

特開平2-87399号公報

【 0 0 1 2 】

【発明が解決しようとする課題】

高速擬似S R A Mは、クロック信号に同期して動作し、1クロックサイクル内で、行系回路および列系回路の活性および非活性化を内部でセルフタイムで完結する。

【 0 0 1 3 】

D R A Mセルは、行列状に配置され、各メモリセル行に対応してワード線が配置され、各メモリセル列に対応してビット線対が配置される。各ビット線対に対しては、メモリセルのデータの検知、増幅およびラッチを行なうセンサアンプが配置される。行選択に関連する行系回路の動作時、行アドレス信号により指定された行に対応して配置されたワード線が選択状態へ駆動され、選択ワード線に接続されるメモリセルのデータが対応のセンスアンプにより検知、増幅およびラッチされる。したがって、このセンス動作時には、1行のメモリセルと数の等しいセンスアンプが同時に動作する。

【 0 0 1 4 】

列選択およびデータアクセス（データの書込／読出）に関連する列系回路の動作時には、選択ワード線に接続されるメモリセルのうち、列アドレス信号が指定する列上のメモリセルを選択してデータアクセス（データの書込／読出）が行なわれる。列選択時に、選択ワード線上のメモリセルがすべて選択されるわけではない。プロセッサ（ロジック）が1度にアクセスするデータビット数、すなわち

擬似 D R A M の外部のデータバスの幅に応じて選択メモリセルの数が設定される。たとえば、行選択時に 2 K ビットのメモリセルが選択され、対応のセンスアンプによりメモリセルデータがラッチされ、次いで、1 2 8 ビットのメモリセル（センスアンプ）が選択されて、データアクセスが行なわれる。

【 0 0 1 5 】

高速擬似 S R A M の場合、1 クロックサイクル内で行および列の選択動作が完結する。したがって、連続的に高速擬似 P S R A M にアクセスする場合、各クロックサイクルにおいてセンスアンプによるビット線の充放電が行なわれる。したがって、選択行に 2 K ビットのメモリセルが接続される場合、1 度に 2 K 個のセンスアンプが並列に充放電動作を行なう。プロセッサ（ロジック）が要求するデータビットはたとえば 1 2 8 ビットであり、1 2 8 個のセンスアンプに対しデータアクセスが行なわれる。残りのセンスアンプは、ラッチ状態を維持し、データアクセスは行なわれず、対応の列上の D R A M セルの記憶データのリストアを行なうだけである。したがって、各クロックサイクルにおいてデータアクセスされるビット線以外のビット線においても、センスアンプによる充放電が行なわれ、不必要に電流が消費されるという問題が生じる。特に、携帯機器などの電池駆動の用途に用いられる場合には、電池寿命の観点からできるだけ、消費電流を低減することが望まれる。

【 0 0 1 6 】

上述の特許文献 1 においては、リフレッシュアドレスを生成するアドレスカウンタをチェックするカウンタチェックモード時に、通常の D R A M の「C A S ビフォー R A S」条件と同様の「/ R F S H ビフォー / C E」の条件でページモードを設定して、テストを行なう構成が示されている。リフレッシュ指示信号 / R F S H を L レベルに立下げ、内部のアドレスカウンタからのリフレッシュアドレスに従ってワード線を活性化する。次いで、チップイネーブル信号 / C E を L レベルに設定することによりページモードを設定し、ワード線を活性状態に維持し、外部列アクセスを活性化する。その状態で、出力イネーブル信号 / O E またはライトイネーブル信号 / W E に従って列アクセスを行なう。チップイネーブル信号 / C E をトグルすることにより、外部列アドレス信号に従って列選択動作を行

なう。リフレッシュ指示信号／R F S HをHレベルに設定して、ページモード動作を完了する。

【 0 0 1 7 】

この特許文献 1 の構成においては、リフレッシュアドレスが指定する行を選択状態に維持し、列を順次外部列アドレスに従って選択してデータアクセスを行なう。リフレッシュアドレスカウンタの動作を試験するカウンタチェックモードを用いて列系回路をテストすることを図る。

【 0 0 1 8 】

この特許文献 1 の構成では、仕様で禁止されるタイミング条件を利用してテスト時のページモードの設定を行なってテストを行なう。選択行は、リフレッシュアドレスカウンタの発生するリフレッシュアドレスにより指定され、外部からは、選択行を指定することはできない。したがって、この特許文献 1 の方法を、通常動作モード時でのデータアクセスに利用することはできない。

【 0 0 1 9 】

また、この特許文献 1 においては、チップイネーブル信号／C E のトグルに従ってデータアクセスサイクルを決定しており、クロック信号に同期して動作するクロック同期動作により、どのように各クロックサイクル内で内部でセルフタイムで行系回路および列系回路を活性／非活性化するかについては全く考慮していない。

【 0 0 2 0 】

さらに、この特許文献 1 においては、行アドレスを固定して列アドレスを変化させるページモードは、擬似 S R A M においては本来的に搭載不能であることを前提とし、リフレッシュ動作とデータの入出力制御動作の分離を実現することを図るだけであり、データアクセスを行なう通常動作モード時の消費電力の低減、特に、クロック同期でデータアクセスを行なうクロック同期動作における消費電力の低減については何ら考慮していない。

【 0 0 2 1 】

それゆえ、この発明の目的は、低消費電力で S R A M 的に動作する同期型半導体記憶装置を提供することである。

【 0 0 2 2 】

この発明の他の目的は、ページモードでデータアクセスをすることのできるクロック同期型擬似 S R A M を提供することである。

【 0 0 2 3 】

【課題を解決するための手段】

この発明に係る同期型半導体記憶装置は、行列状に配置される複数のダイナミック型メモリセルと、外部からの動作制御信号をクロック信号に同期して取込み内部動作指示信号を生成する信号入力回路と、活性化時、外部行アドレス信号に従ってメモリセルの行を選択する行選択回路と、活性化時、外部列アドレス信号に従ってメモリセルの列を選択し、該選択列へデータアクセスを行なう列系回路と、信号入力回路からの内部動作指示信号に従って、行選択回路および列系回路の動作を制御する制御回路を含む。この制御回路は、信号入力回路からの第 1 の内部動作指示信号に従って、行選択回路および列系回路をクロック信号の 1 クロックサイクル内において所定のシーケンスで順次活性および非活性化し、この信号入力回路からの第 2 の内部動作指示信号に従って行選択回路の非活性化を禁止して行選択回路活性状態に維持し、かつさらに信号入力回路からの第 3 の内部動作指示信号に従って活性状態に維持された行選択回路を非活性化する。

【 0 0 2 4 】

第 2 の内部動作指示信号に従って内部で行選択回路の非活性化を禁止することにより、行を選択状態に維持した状態で連続的に外部から列アドレス信号を印加して列選択動作を実行することができる。連続列アクセス時において行系回路を動作させる必要がなく、特に、センスアンプを非活性化する必要がなく、各クロックサイクルにおいて行系回路、特にセンスアンプの充放電電流を削減することができ、応じて消費電流を低減することができる。

【 0 0 2 5 】

【発明の実施の形態】

〔実施の形態 1 〕

図 1 は、この発明に従う同期型半導体記憶装置を内蔵するシステム L S I の構成を概略的に示す図である。図 1 において、システム L S I 1 が、プロセッサ 2

と、少なくともプロセッサ 2 が必要とするデータを格納する擬似 S R A M マクロ 3 を含む。このプロセッサ 2 は、外部と信号およびデータの授受を行ない、必要な処理を実行する。プロセッサ 2 は、予め定められた処理を専用に処理する回路であってもよく、また汎用のプロセッサであってもよい。

【 0 0 2 6 】

擬似 S R A M マクロ 3 は、このプロセッサ 2 と内部データバス 4 を介して双方向にデータを転送する。S R A M マクロ 3 は、ページモード動作が可能であり、プロセッサ 2 は、この擬似 S R A M マクロ 3 に対しページモードでアクセスして、データの転送を行なうことができる。

【 0 0 2 7 】

このシステム L S I 1 は、同一半導体チップ上に集積化されており、内部データバス 4 はチップ上配線であり、ピン端子の制約を受けることなく、十分にバス幅を広くすることができる。

【 0 0 2 8 】

ただ、この擬似 S R A M マクロ 3 は、ページモードで動作可能であるため、各アクセスサイクル（クロックサイクル）毎に行系回路をプリチャージすることは要求されず、行選択に関連する行系回路が活性状態を維持するため、この行系回路の消費電流を削減することができる。

【 0 0 2 9 】

図 2 は、図 1 に示す擬似 S R A M マクロ 3 の全体の構成を概略的に示す図である。図 2 において、擬似 S R A M マクロ 3 は、それぞれが行列状に配列される複数の D R A M セルを有する D R A M アレイ 1 0 e および 1 0 w と、D R A M アレイ 1 0 e および 1 0 w それぞれと内部データの転送を行なう D R A M データバス 1 1 e および 1 1 w と、D R A M アレイ 1 0 e および 1 0 w のメモリセル行および列を選択するデコーダ 1 2 と、この擬似 S R A M マクロ 3 の内部動作を制御する D R A M 制御回路 1 3 と、D R A M アレイ 1 0 e および 1 0 w のそれぞれの一端に配置され内部電源電圧および各種内部電圧を生成する電源回路 1 4 を含む。

【 0 0 3 0 】

D R A M アレイ 1 0 e および 1 0 w は、それぞれ、一例として、8 M ビットの

記憶容量を有する。

【0031】

DRAMデータバス11eおよび11wは、それぞれ、内部データの書込を行なうライトドライバ、内部データの読出を行なうプリアンプ、外部とのデータの入出力を行なう入出力バッファ回路を含む。DRAMデータバス11eは、DRAMアレイ10eと、64ビットの内部読出データRD[63:0]を転送し、かつ64ビットの内部書込データWD[63:0]を転送する。DRAMデータバス11eは、また、図1に示す外部のプロセッサ2との間で、メモリ外部データバスを介して64ビットの読出データQ[63:0]および64ビットの書込データD[63:0]を転送する。

【0032】

DRAMデータバス11wは、DRAMアレイ10wと64ビットの内部読出データRD[127:64]を転送しかつ内部書込データWD[127:64]を転送する。このDRAMデータバス11wは、また、メモリ外部データバスを介して64ビットの読出データQ[127:64]および64ビットの書込データD[127:64]を外部のプロセッサ2との間で転送する。

【0033】

デコーダ12は、整列して配置されるロウデコーダおよびコラムデコーダを含む。ロウデコーダにより、アドレス指定された行に対応するワード線が選択状態へ駆動され、コラムデコーダにより、アドレス指定された列に対応する列選択線が選択状態へ駆動される。この列選択線の列選択信号に従って、メモリセル列（センスアンプ）が選択されて内部データバスに接続される。

【0034】

したがって、図2に示す配置においては、コラムデコーダからの列選択線はワード線と同一方向に延在する。コラムデコーダおよびロウデコーダをデコーダ12内において同一方向に配置することにより、列選択線を行方向に延在して配置することができる。したがって、データRD[127:0]およびWD[127:0]を転送するデータバス線を、DRAMアレイ10wおよび10e上に列方向に延在して配置することができ、バス占有面積を増大させることなく、多ビッ

トデータを転送することができる。

【 0 0 3 5 】

D R A M制御回路 1 3 へは、外部から、クロック信号 C L K、リード動作指示信号 R E、ライト動作指示信号 W E、リフレッシュ動作指示信号 R E F、ページモード動作指示信号 P M、ページクローズ指示信号 P Cおよび 1 7 ビットのアドレス信号 A [1 6 : 0] が与えられる。ページモード動作指示信号 P Mおよびページクローズ指示信号 P Cを利用することにより、この擬似 S R A Mマクロ 3 を選択的に、ページモードで動作させることができる。D R A M制御回路 1 3 は、クロック信号 C L Kに同期してこれらの外部からの信号 R E、W E、R E F、P Mおよび P Cを取込み、内部動作を指定する内部動作指示信号を生成し、かつ内部動作指示信号に従って必要な制御信号を生成する。具体的に、D R A M制御回路 1 3 は、クロック信号 C L Kのたとえば立上がりエッジにおける指示信号 R E、W E、R E F、P Mおよび P Cの状態に従って指定された動作モードを判定し、かつ対応の内部動作を実行する制御信号を生成する。

【 0 0 3 6 】

図 3 は、外部からの指示信号 R E、W E、R E F、P C、P Mおよび R E Fが指定する動作モードを一覧にして示す図である。図 3 においては、制御信号およびニモーニック (M N E M O N I C) において、同一動作内容を指定するため、同じ符号が用いられている。同一符号について、制御信号の場合には、動作指示信号として参照し、ニモーニックの場合にはコマンドとして参照する。

【 0 0 3 7 】

指示信号 R E、W E、R E F、P Mおよび P Cがすべて L レベルに設定された場合には、ノップコマンド N O P が設定され、新たな動作は行なわれない。通常、このノップコマンド N O P が与えられる場合、擬似 S R A Mマクロ 3 は、スタンバイ状態 (プリチャージ状態) を維持する。

【 0 0 3 8 】

リード動作指示信号 R E を H レベルに設定し、残りの指示信号 R E、W E、R E F、P Mおよび P C を L レベルに設定した場合、リードコマンド R E が設定される。このリードコマンド R E が指定された場合には、1 クロックサイクル内で

データリードを行ない、そのリード動作完了後開いたページ（選択行）を閉じる。したがって、このリードコマンドREの印加時においては、1クロックサイクル内で行系回路および列系回路の活性および非活性動作が、一定のシーケンスで完結する。

【0039】

リード動作指示信号REとページモード動作指示信号PMを共にHレベルに設定し、残りの指示信号WE、REF、およびPCをLレベルに設定した場合、ページモードリードコマンド（ページリードコマンド）REPMが指定される。このページモードリードコマンドREPMが指定された場合には、このクロックサイクル内でデータの読出を行なうリード動作を行ない、このリード動作完了後においても、ページを開いた状態に維持する。列系回路は、データの読出後に非活性状態に復帰する。

【0040】

リード動作指示信号REとページクローズ指示信号PCをHレベルに設定し、残りの指示信号WE、REF、PMをLレベルに設定した場合、オートプリチャージ付きリードコマンド（プリチャージリードコマンド）REPCが設定される。このオートプリチャージ付きリードコマンドREPCが指定されたときには、開いたページに対して列アクセスを行なってデータの読出動作を行なう。このリード動作完了後、開いているページを閉じ、行系回路および列系回路が共にプリチャージ状態に復帰する。

【0041】

ライト動作指示信号WEをHレベルに設定し、残りの指示信号RE、REF、PMおよびPCをLレベルに設定するとライトコマンドWEが設定される。このライトコマンドWEの指定時においては、1クロックサイクル内でデータの書込が行なわれ、このデータ書込完了後開いたページを閉じ、行系回路がスタンバイ状態に復帰する。

【0042】

ライト動作指示信号WEとページモード動作指示信号PMとをHレベルに設定し、残りの指示信号RE、REFおよびPCをLレベルに設定すると、ページモ

ードライトリードコマンド（ページライトコマンド）WE PMが指定される。このページモードライトリードコマンドWE PMが指定された場合には、データの書込を完了し、列系回路が非活性状態に復帰しても、ページを開いた状態に維持する（行系回路を活性状態に維持する）。

【0 0 4 3】

ライト動作指示信号WEとページクローズ指示信号PCをHレベルに設定し、残りの指示信号RE、REFおよびPMをLレベルに設定すると、オートプリチャージ付きライトコマンド（プリチャージライトコマンド）WE PCが設定される。このオートプリチャージ付きライトコマンドWE PCの指定時においては、開いたページに対しデータアクセスを行なってデータの書込を行ない、この書込動作完了後に開いたページを閉じる（行系回路を非活性状態に復帰させる）。

【0 0 4 4】

ページクローズ指示信号PCをHレベルに設定し、かつ残りの指示信号RE、WE、REFおよびPMをLレベルに設定すると、プリチャージコマンドPCが設定される。このプリチャージコマンドPCの指定時においては、開いているページを閉じる。すなわち、選択状態のワード線を非選択状態へ駆動し、行系回路をスタンバイ状態に復帰させる。

【0 0 4 5】

リフレッシュ動作指示信号REFをHレベルに設定し、残りの指示信号RE、WE、PMおよびPCをLレベルに設定すると、オートリフレッシュコマンドREFが設定される。このオートリフレッシュコマンドREFの指定時においては、内部のアドレスカウンタからのリフレッシュアドレスに従ってリフレッシュ動作を実行する。

【0 0 4 6】

この図3に示すように、ページモード動作指示信号PMおよびページクローズ指示信号PCを利用することにより、ページモード動作の設定および完了をリード動作指示信号またはライト動作指示信号WEの活性化時に設定することができる。またページクローズ指示信号PC単独でプリチャージコマンドPCを設定することにより、データの書込および読出を伴う必要のないときに開いたページを

閉じて、ページモード動作を完了させることができる。

【 0 0 4 7 】

なお、リード動作指示信号 R E またはライト動作信号 W E が活性化されたときには、内部で 1 クロックサイクル内で列選択およびデータの読出または書込動作が実行され、その後、列系回路（列選択回路およびデータ書込／読出回路）は非活性状態に復帰する。

【 0 0 4 8 】

また、ページは、行アドレス信号により指定される行を示し、D R A M アレイ 1 0 e および 1 0 w の構成に応じて、ページを構成するワード線の数異なる。

【 0 0 4 9 】

図 4 は、図 2 に示す D R A M アレイ 1 0 e および 1 0 w に配置される D R A M セルの断面構造を概略的に示す図である。図 4 において、D R A M セルは、P ウェル 2 0 内において素子分離領域 2 1 a および 2 1 b により規定される領域内に形成されるアクセストランジスタを含む。この素子分離領域 2 1 a および 2 1 b は、シャロウ・トレンチ・アイソレーション（S T I）構造を有し、P ウェル 2 0 表面をエッチングして、基板表面に分離酸化膜を形成する。S T I 構造を素子分離に利用することにより、通常の熱酸化膜を利用する構成に比べて、素子分離領域の占有面積を低減し、またその表面の平坦化を図り、素子分離領域上に配設されるワード線の配線の段差を低減する。

【 0 0 5 0 】

アクセストランジスタは、P ウェル 2 0 表面に形成される不純物領域 2 2 a および 2 2 b と、これらの不純物領域 2 2 a および 2 2 b 表面に形成される金属層 2 3 a および 2 3 b と、これらの不純物領域 2 2 a および 2 2 b の間の P ウェル表面上にゲート絶縁膜を介して形成されるポリシリコン層 2 4 と、ポリシリコン 2 4 表面に自己整合的に形成される金属層 2 5 を含む。

【 0 0 5 1 】

これらの金属層 2 3 a、2 3 b および 2 5 は、たとえば二酸化コバルト（C o S i ₂）で形成され、不純物領域 2 2 a および 2 2 b のコンタクトを低減し、かつポリシリコン 2 4 で形成されるワード線の抵抗を低減する。この金属層 2 3 a

、23bおよび25は、ロジックにおいてトランジスタ製造工程時に形成されるサリサイドプロセス（セルフアラインド・シリサイド・プロセス）を適用することにより形成される。不純物領域22aは、高濃度N型不純物領域で形成されており、ストレージノードに接続する部分の抵抗を低減する。このサリサイドプロセスは、擬似SRAMマクロ内の周辺回路のトランジスタに対しても適用され、周辺回路のトランジスタは、ロジックのトランジスタと同一構成とされ、製造工程数の増加を抑制する。

【0052】

ここで、サリサイドプロセス時において、不純物領域22aおよび22bは、ポリシリコン層24に対し自己整合的に形成され、メタル層23aおよび23bが、このポリシリコン層24に形成される側壁絶縁膜に対して自己整合的に形成される。

【0053】

メモリセルは、さらに、金属層23aに電氣的に接続されるストレージノードコンタクト26と、ストレージノードコンタクト26上部にU字型に形成されるストレージノード層27と、ストレージノード層27とキャパシタ絶縁膜28を介して対向して形成されるセルプレート層29を含む。このストレージノード層27および29は、たとえばルビジウム（Ru）の金属配線で形成され、ストレージノードコンタクト26は、たとえばタングステン（W）の金属配線で形成される。キャパシタ絶縁膜28は、たとえば五酸化タンタル（ Ta_2O_5 ）で形成される。MIM（メタルーインシュレーターメタル）キャパシタ構造において、高誘電率のキャパシタ絶縁膜を利用することにより、小占有面積で大きな容量値を有する高速応答のメモリセルキャパシタを実現する。また、ストレージノードコンタクト26にたとえばタングステンWのような金属配線を利用することにより、このストレージノードの抵抗を低減する。

【0054】

不純物領域22b表面に形成される金属層23bは、ビット線コンタクト30を介してビット線19に電氣的に接続される。このビット線コンタクト30は、たとえばタングステンのメタル配線で形成され、ビット線19は、たとえば銅（

Cu)の金属配線で形成される。ビット線コンタクト30に金属配線を利用することにより、ビット線コンタクトの抵抗を低減する。また、これらのストレージノードコンタクト26およびビット線コンタクト30をメタル配線を利用することにより、不純物領域22aおよび22b表面に金属層23aおよび23bを形成して、コンタクト抵抗を低減することができる。また、不純物領域22aも、金属配線に接続されるため、その不純物濃度を十分高くすることができる。

【0055】

したがって、このDRAMセルにおいては、内部配線を、すべて抵抗を小さくすることができ、メモリセルの電荷移動速度を高速化することができ、高速で、メモリセルデータの読出を行なうことができる。したがって、たとえば36ns(ナノ秒)のロウサイクルを、10ns以下に設定することができ、高速擬似SRAMを実現することができる。

【0056】

図5は、図2に示すDRAMアレイ10eおよび10wの構成を概略的に示す図である。これらのDRAMアレイ10eおよび10wは、同一のアレイ構造を有するため、図5において1つのDRAMアレイの構成を代表的に示す。図5において、DRAMアレイは、それぞれが、32KビットのメモリセルMCを有するアレイブロックMBKに、行および列方向において分割される。行方向に整列するアレイブロックが行ブロックを構成し、列方向に整列するアレイブロックが列ブロックを構成する。図5において、DRAMアレイは、行ブロックRB0-RBmに分割され、また列ブロックCB0-CBnに分割される。一例として、このDRAMアレイは、行および列方向に16個のアレイブロックに分割され、16個の行ブロックと16個の列ブロックに分割される。

【0057】

行ブロックRB0-RBmの間にセンスアンプ帯SAB1-SABmが配置され、また、行ブロックRB0およびRBmの外側に、センスアンプ帯SAB0およびSABm+1が、それぞれ、配置される。これらのセンスアンプ帯SAB0-SABm+1においては、それぞれ、アレイブロックMBKに対応して、32個のセンスアンプ(S.A.)を含むセンスブロックSBKが配置される。これ

らのセンスアンプ帯 $SAB1 - SABm$ のセンスアンプは、列方向における両側のアレイブロックにより共有される。

【 0 0 5 8 】

行ブロック $RB0 - RBm$ それぞれにおいて、ワード線 WL がメモリセル行に対応して配置される。これらの行ブロック $RB0$ および RBm それぞれにおいて 512 本のワード線が配置される。ワード線 WL は、列ブロックの間に設けられるワード線杭打ち領域 WST において低抵抗の導体と電氣的に接続される。ポリシリコンで構成されるワード線の抵抗を等価的に低減する。

【 0 0 5 9 】

ワード線杭打ち領域 WST によりワード線杭打ち構造を実現する構成に代えて、ワード線 WL が、メインワード線とサブワード線とに階層化され、サブワード線が、対応して配置されるワード線サブデコーダと対応のメインワード線上の信号とに従って駆動される階層ワード線構成が利用されてもよい。

【 0 0 6 0 】

センスアンプ帯 $SAB0 - SABm+1$ それぞれにおいて、読出列選択線 $CSLR$ と書込列選択線 $CSLW$ とが配置される。アレイブロック MBK においては、メモリセルが 64 列配置され、それぞれ列方向の両側に設けられる 32 個のセンスアンプに接続される。これらの 1 つのセンスブロック SBK において 32 個のセンスアンプから、4 つのセンスアンプを選択するために、8 本の読出列選択線および 8 本の書込列選択線が設けられる。読出列選択線 $CSLR$ は、データ読出時に列アドレス信号に従って選択状態に駆動され、書込列選択線 $CSLW$ は、データ書込動作時に列アドレス信号に従って選択状態に駆動される。

【 0 0 6 1 】

列ブロック $CB0 - CBn$ それぞれ上に列方向に延在して読出データ線 RD と書込データ線 WD が配置される。本実施の形態においては、列選択時、各列ブロックにおいて 4 つのセンスアンプが選択されるため、読出データ線 RD および書込データ線 WD が、それぞれ、4 本設けられる。この読出データ線 RD および書込データ線 WD は、相補信号を伝達する信号線対で構成されるが、図 5 においては、図面を簡略化するため、それぞれシングルエンドの信号線のように示す。こ

これらの書込データ線WDおよび読出データ線RDが、データバスに結合される。

【0062】

図6は、図2に示すデコーダ12の構成を概略的に示す図である。図6においては、デコーダ12において1つの行ブロックおよびセンスアンプ帯に対応して配置される部分の構成を示す。

【0063】

図6において、デコーダ12は、対応の行ブロックを指定するブロック選択信号BS1とワード線活性化タイミング信号RXTと行アドレス信号RADDとに従ってアドレス指定された行に対応するワード線WLを選択状態へ駆動するロウデコーダ32と、ブロック選択信号BS1およびBSuとコラムアドレス信号CADDと書込コラムデコーダイネーブル信号CDEWとに従ってデコード動作を行なって書込列選択線CSLWを選択状態へ駆動するライトコラムデコーダ34と、ブロック選択信号BSuおよびBS1とコラムアドレス信号CADDと読出コラムデコーダイネーブル信号CDERとに従ってデコード動作を行なって読出列選択線CSLRを選択状態へ駆動するリードコラムデコーダ33を含む。

【0064】

ブロック選択信号BSuは、このブロック選択信号BS1が指定する行ブロックに隣接する行ブロックを指定し、これらのブロック選択信号BSuおよびBS1がそれぞれ特定するメモリブロックが、センスアンプ帯を共有する。

【0065】

ロウデコーダ32は、ブロック選択信号BS1の活性化時、行アドレス信号RADDをデコードし、ワード線活性化タイミング信号RXTに従って、選択されたワード線WLを選択状態へ駆動する。リードコラムデコーダ33は、ブロック選択信号BSuおよびBS1の一方の活性化時にネーブルされ、読出コラムデコーダイネーブル信号CDERの活性化に従って、与えられた列アドレス信号CADDをデコードし、8本の列選択線のうち指定された読出列選択線CSLRを選択状態へ駆動する。

【0066】

ライトコラムデコーダ34は、ブロック選択信号BSuおよびBS1の一方の

活性化時イネーブルされ、ライトコラムデコーダイネーブル信号C D E Wの活性化に従って与えられた列アドレス信号C A D Dをデコードし、8本の書込列選択線のうち1つの書込列選択線C S L Wを選択状態へ駆動する。

【0067】

なお、この図6に示すデコーダの構成においては、ロウデコーダ32へ、行アドレス信号R A D Dが与えられている。しかしながら、このロウデコーダ32へは、ロウアドレス信号R A D Dに代えて、プリデコード信号が与えられてもよい。リードコラムデコーダ33およびライトコラムデコーダ34においても、コラムアドレス信号C A D Dに代えて、プリデコード信号が与えられてもよい。

【0068】

擬似S R A Mにおいては、行アドレス信号R A D Dおよびコラムアドレス信号C A D Dが、並行して与えられる。ワード線駆動タイミング信号R X Tが活性化されて、ロウデコーダ32による行選択動作が完了した後（センスアンプによるセンス動作の完了後）に、コラムデコーダイネーブル信号C D E RおよびC D E Wの一方が活性化されて列選択動作が行なわれる。図5に示すアレイ配置においては、1つの行ブロックが選択され、選択行ブロックにおいて行選択動作および列選択動作が行なわれる。

【0069】

図7は、センスアンプ帯のセンスブロックS B Kの構成を具体的に示す図である。図7においては、1つのセンスアンプに関連する部分の構成を示す。図7において、センスブロックS B Kが、アレイブロックM B K UおよびM B K Lにより共有される。アレイブロックM B K Uにおいてビット線B L Uおよび／B L Uが配置され、アレイブロックM B K Lにおいてビット線B L Lおよび／B L Lが配置される。ビット線B L Uおよび／B L Uとビット線B L Lおよび／B L Lは、それぞれ、ビット線分離ゲート45uおよび45lを介して共通ビット線C B Lおよび／C B Lに結合される。

【0070】

ビット線分離ゲート45uは、ビット線分離指示信号／B L I Uの活性化時（Lレベルのとき）非導通状態となり、ビット線B L Uおよび／B L Uを共通ビッ

ト線CBLおよび/CBLと分離する。ビット線分離ゲート451は、ビット線分離指示信号/BLILの活性化時（Lレベルのとき）非導通状態となり、ビット線BLLおよび/BLLを共通ビット線CBLおよび/CBLから分離する。

【0071】

共通ビット線CBLおよび/CBLに対して、センスアンプ40が設けられる。このセンスアンプ40は、交差結合されるPチャネルMOSトランジスタと交差結合されるNチャネルMOSトランジスタを含み、活性化時、共通ビット線CBLおよび/CBLの電位を差動的に増幅する。

【0072】

このセンスアンプ40を活性化するために、センス電源線46に、センスアンプ活性化信号/SOPに従ってセンス電源電圧VddSを伝達するセンス活性化用のPチャネルMOSトランジスタ47と、センスアンプ活性化信号SONに従ってセンス接地線48に接地電圧を伝達するセンス活性化用NチャネルMOSトランジスタ49が設けられる。センス電源線46およびセンス接地線48に、電源電圧VddSおよび接地電圧が伝達されると、センスアンプ40が活性化される。センスアンプ活性化用トランジスタ47および48は、センスアンプ40の所定数毎に設けられる。

【0073】

センスブロックSBKにおいては、さらに、ビット線イコライズ指示信号BLEQの活性化に従って共通ビット線CBLおよび/CBLをプリチャージ電圧VBLレベルにプリチャージするプリチャージ/イコライズ回路41と、読出列選択信号CSLRに従って活性化され、活性化時、共通ビット線CBLおよび/CBLの電位に従って読出ローカルIO線対LIO RPを駆動する読出ゲート42と、書込列選択信号CSLWの活性化に従って、活性化され、共通ビット線CBLおよび/CBLを書込ローカルIO線対LIO WPの各IO線にそれぞれ結合する書込ゲート43が設けられる。

【0074】

読出ゲート42は、共通ビット線CBLおよび/CBLに結合される差動段トランジスタと、読出列選択信号CSLRに従って選択的に導通し、導通時、これ

らの差動段トランジスタを讀出ローカル I O 線対 L I O R P の各 I O 線に結合する讀出トランジスタを含む。讀出ローカル I O 線対 L I O R P は、図示しないプリチャージ回路により、周辺電源電圧レベルにプリチャージされる。讀出ローカル I O 線対 L I O R P は讀出データ線対 R D P に結合され、書込ローカル I O 線対 L I O W P は、書込データ線対 W D P に結合される。

【 0 0 7 5 】

データ書込時においては、書込データ線対 W D P からローカル I O 線対 L I O W P に書込データがライトドライブ回路により伝達され、この書込ローカル I O 線対 L I O W P を書込列選択ゲート 4 3 が共通ビット線 C B L および / C B L に書込列選択信号に従って結合し、応じて、共通ビット線 C B L および / C B L が書込データに応じた電位レベルに設定される。

【 0 0 7 6 】

データ讀出時においては、讀出列選択信号 C S L R が活性化され、讀出列選択ゲート 4 2 がイネーブルされる。共通ビット線 C B L および / C B L には、センスアンプ 4 0 により電源電圧 V d d S および接地電圧レベルの相補信号がラッチされている。したがって、讀出列選択ゲート 4 2 が選択されると、その差動トランジスタによりローカル I O 線対 L I O R P のローカル I O 線が差動的に駆動され、応じて讀出データ線対 R D P が駆動される。

【 0 0 7 7 】

図 8 は、各センスアンプ帯に対応して配置されるローカルロウ系制御回路 5 0 の入出力信号を示す図である。このローカルロウ系制御回路 5 0 は、図 1 に示す D R A M 制御回路 1 3 からのビット線分離タイミング信号 B L I T とセンス活性化タイミング信号 S O T とブロック選択信号 B S u および B S l に従って、ビット線分離指示信号信号 / B L I U および / B L I L と、ビット線イコライズ指示信号 B L E Q と、センスアンプ活性化信号 S O N および / S O P を生成する。

【 0 0 7 8 】

このローカルロウ系制御回路 5 0 においては、ブロック選択信号 B S u および B S l の一方が選択状態へ駆動されると、ビット線分離指示信号 / B L I U および / B L I L のうち非選択アレイブロックに対するビット線分離指示信号を、ビ

ット線分離タイミング信号 B L I T に従って活性化し、また、ビット線分離タイミング信号 B L I T に従ってイコライズ指示信号 B L E Q を非活性状態へ駆動する。さらに、また、センス活性化タイミング信号 S O T に従ってセンスアンプ活性化信号 S O N および / S O P を活性化する。すなわち、このローカルロウ系制御回路 5 0 は、対応のアレイブロックが選択されたときにイネーブルされ、D R A M 制御回路からのタイミング信号に従って、対応のロウ系制御信号を所定のシーケンスで活性／非活性化する。

【 0 0 7 9 】

図 9 は、図 7 に示すセンスアンプ帯の回路の動作を示すタイミング図である。以下、図 9 を参照して、図 7 に示す回路の動作について説明する。

【 0 0 8 0 】

リードコマンド R E が与えられると、クロック信号 C L K の立上がりエッジで、図 2 に示す D R A M 制御回路 1 3 が、ロウ系トリガ信号 R A S T を所定期間（たとえばクロック信号 C L K の H レベル期間）の間 H レベルに設定する。ロウ系トリガ信号 R A S T については、後に説明するが、行選択動作が指定されたとき、すなわちライトコマンド、リードコマンドおよびリフレッシュコマンドのいずれかが与えられたときに活性化される。

【 0 0 8 1 】

このロウ系トリガ信号 R A S T の活性化に従って、外部からのアドレス信号 A [1 6 : 0] が取込まれ、内部アドレス信号が生成され、アドレス信号 A D n - 1 が指定する行ブロックに対するブロック選択信号 B S 1 が選択状態へ駆動される。

【 0 0 8 2 】

ブロック選択信号 B S 1 が選択状態へ駆動されると、ロウ系トリガ信号 R A S T とブロック選択信号 B S 1 に従って、図 8 に示すローカルロウ系制御回路 5 0 が、ビット線分離指示信号 / B L I U を L レベルに駆動する。ビット線分離指示信号 / B L I L は、H レベルを維持する。応じて、図 7 に示すビット線分離ゲート 4 5 u が非導通状態となり、共通ビット線 C B L および / C B L がビット線 B L U および / B L U から分離される。一方、ビット線分離ゲート 4 5 l は導通状

態を維持し、共通ビット線CBLおよび/CBLはビット線BL Lおよび/BL Lと接続される。

【0083】

次いで、所定のタイミングで、図6に示すワード線活性化タイミング信号RX Tが活性化され、ロウデコーダ32が、選択ワード線WLをHレベルに駆動する。このワード線WLが活性化されると、ビット線BL Lおよび/BL Lに、メモリセルデータが読出される。図9においては、ビット線BL Lまたは/BL Lに、Hレベルデータが読出された場合の信号波形を示す。

【0084】

ワード線WLが選択状態へ駆動された後、所定のタイミングで、センスアンプ活性化信号SONおよび/SOPが所定期間活性化され、図7に示すセンスアンプ40がセンス動作を行ない、共通ビット線CBLおよび/CBLおよびビット線BL Lおよび/BL Lを、メモリセルデータに従って、電源電圧レベルおよび接地電圧レベルに駆動しかつその増幅電位をラッチする。

【0085】

センスアンプ40のセンス動作が完了し、共通ビット線CBLおよび/CBLの電位レベルがラッチされると、次いで、図6に示すリードコラムデコーダ33が活性化され、アドレス信号をデコードし、対応の読出列選択線CSLRを所定期間Hレベルに設定する。これにより、読出列選択ゲート42がイネーブルされ、共通ビット線CBLおよび/CBLの電位に従ってローカル読出データ線対LIO RPを介してリードデータバス線RDおよび/RDを駆動する。この列選択動作は、内部でセルフタイムで行なわれており、所定期間が経過すると、コラムデコーダ33が非活性化され（コラムデコーダイネーブル信号CDE Rが非活性化される）、リード列選択線CSLRが再び非選択状態へ駆動され、リード列選択ゲート42がディスエーブルされる。

【0086】

リードコマンドREの印加時においては、また、センスアンプ活性化信号SONおよび/SOPの活性化期間が、セルフタイムで設定されており、所定時間が経過すると、センスアンプ活性化信号SONおよび/SOPが非活性化され、次

いで選択状態のワード線WLが非選択状態へ駆動される。この後、ビット線分離指示信号／BLIUがHレベルとなり、またイコライズ指示信号BLEQがHレベルに駆動される。応じて、共通ビット線CBLおよび／CBLが再びビット線BLUおよび／BLUにビット線分離ゲート45eを介して接続される。また、ビット線プリチャージ／イコライズ回路41が、ビット線イコライズ指示信号BLEQの活性化に従って活性化され、ビット線BLUおよび／BLU、共通ビット線CBLおよび／CBLおよびビット線BLLおよび／BLLが、中間電圧VBLレベルにプリチャージされかつイコライズされる。また、ブロック選択信号BS1が所定のタイミングで非選択状態へ駆動される。

【0087】

次のクロックサイクルにおいて、ページモードリードコマンドREPMが与えられると、クロック信号CLKの立上がり同期して、ロウ系トリガ信号RASTが所定期間Hレベルに設定される。応じて、先のリードコマンド印加時と同様にして、ブロック選択信号BS1が選択状態へ駆動され、ビット線分離指示信号／BLIUおよびビット線イコライズ指示信号BLEQがLレベルに駆動される。続いて、ワード線WLが行アドレス信号に従って選択状態へ駆動され、ビット線BLLおよび／BLLにメモリセルデータが読出される。ビット線の電位が十分に拡大されたタイミングで、センスアンプ活性化信号／SOPおよびSONが活性化される。センスアンプの活性化後、ビット線電位が確定すると、列選択動作がイネーブルされ、所定のタイミングで読出列選択線CSLRが活性化される。応じて、選択列に対応するセンスアンプのラッチデータに従って読出データ線RDおよび／RDが駆動される。

【0088】

このページモードリードコマンドREPMの印加時においても、列選択動作はセルフタイムで行なわれ、所定期間経過後に、読出列選択線CSLRが非活性状態に駆動され、列選択動作が完了する。一方、ビット線分離タイミング信号BLITおよびセンスアンプ活性化タイミング信号SOTは非活性化されず、またブロック選択信号BS1もラッチ状態を維持する。すなわち、ページモード時においては、列選択回路による列選択動作およびデータの読出動作が完了した後にお

いても、行選択に関連する回路（行系回路）のリセットは行なわれず、センスアンプ活性化信号 $S0N$ および $/S0P$ は活性状態を維持し、また選択ワード線 WL も選択状態を維持する。

【0089】

したがって、次のクロックサイクルにおいて再びページモードリードコマンド $REPM$ を与えた場合、行選択動作は行なわれず、列選択動作のみが行なわれる。すなわち、同じワード線（同一行アドレスにより指定される領域、すなわちページ）に対し連続的にアクセスすることができ、行系回路の動作に要する消費電力を削減することができる。

【0090】

データ書込時においては、図9に示すタイミング図において、読出データ線 RD および $/RD$ に代えて、書込データ線 WD および $/WD$ がライトドライバにより駆動されて、応じて、共通ビット線 CBL および $/CBL$ が書込列選択ゲート 43 を介して駆動されてデータの書込が行なわれる。

【0091】

図10は、図2に示すデータバス $11e$ および $11w$ の構成を示す図である。これらのデータバス $11e$ および $11w$ は同一構成を有するため、図10においては、1ビットの内部データを転送するデータバスの構成を代表的に示す。このデータバスは、読出データ線 RD および $/RD$ 上の内部信号に従って出力データ Q を生成するリードバスと、外部からの入力データ D に従って書込データ信号を生成して書込データ線 WD および $/WD$ 駆動するライトバスを含む。

【0092】

リードバスは、リードデータバスイコライズ指示信号 $/RDEQ$ の活性化時（ L レベルのとき）活性化され、読出データ線 RD および $/RD$ を周辺電源電圧 V_{ddL} レベルにプリチャージしかつイコライズするバスプリチャージ/イコライズ回路 55 と、プリアンプ活性化信号 PAE の活性化時読出データ線 RD および $/RD$ に読出された内部読出信号を、電荷閉じ込め方式に従って増幅するプリアンプ回路 56 と、プリアンプ回路 56 の増幅データをラッチするラッチ回路 57 と、ラッチ回路 57 のラッチデータ QF をクロック信号 $CLKQ$ に同期して取込

みラッチしかつ出力するDフリップフロップ58を含む。

【0093】

バスプリチャージ／イコライズ回路55は、リードデータバスイコライズ指示信号／RDEQの活性化に従って、内部読出データ線RDおよび／RDを電氣的に短絡するイコライズ用MOSトランジスタと、このリードデータバスイコライズ指示信号／RDEQの活性化時、周辺電源電圧V_{ddl}を内部読出データ線RDおよび／RDへ伝達するプリチャージ用MOSトランジスタを含む。周辺電源電圧V_{ddl}は、センスアンプに供給される電源電圧V_{dds}と別の電源から与えられる電源電圧である。周辺回路のトランジスタは、同一チップ上に集積化されるロジックのトランジスタと同様の構成を有する。また、メモリセルのアクセストランジスタも、通常、オフ状態時のリーク電流を低減するためにしきい値電圧は高くされるものの、周辺回路のトランジスタと同様に、ロジックトランジスタの製造プロセスを利用して形成される。メモリセルのキャパシタ絶縁膜に印加される電界による絶縁破壊が生じるのを防止するため、また、センス動作時の電源ノイズが周辺回路に影響を及ぼすのを防止するために、アレイ用電源電圧V_{ddS}と周辺回路の電源電圧V_{ddl}は別レートから与えられて、それぞれ最適な電圧レベルに設定される。

【0094】

プリアンプ回路56は、プリアンプ活性化信号PAEの活性化時、読出データ線RDおよび／RDをプリアンプ回路56の内部ノードNAおよびNBから分離する閉込めゲート56aと、プリアンプ活性化信号PAEの活性化に応答してこのプリアンプ回路56の内部ノードNAおよびNBの電位を増幅するプリアンプ56bを含む。

【0095】

プリアンプ56bは、交差結合されるPチャネルMOSトランジスタと、交差結合されるNチャネルMOSトランジスタとプリアンプ活性化信号PAEに従ってこれらのNチャネルMOSトランジスタの共通ソースノードを接地ノードに結合する活性化用のMOSトランジスタを含む。プリアンプ56bにおいては、PチャネルMOSトランジスタの共通ソースノードは、電源ノードに常時結合され

る。したがって、このプリアンプ 5 6 b は、活性化時、プリアンプ回路 5 6 の内部ノード N A または N B の放電動作を行なう。

【 0 0 9 6 】

閉込めゲート 5 6 a は、読出データ線 R D および $\overline{R D}$ それぞれに対して設けられてプリアンプ活性化信号 P A E をゲートに受ける P チャネル MOS トランジスタを含む。閉込めゲート 5 6 a を用いてプリアンプ回路 5 6 の動作時、プリアンプ回路 5 6 の内部ノード N A および N B を、読出データ線 R D および $\overline{R D}$ から切離すことにより、プリアンプ 5 6 b の負荷を軽減し、高速で増幅動作を行なう。

【 0 0 9 7 】

ラッチ回路 5 7 は、N A N D 型フリップフロップで構成され、プリアンプ回路 5 6 の内部ノード N A が L レベルのときに、その出力データ Q F を H レベルに設定する。プリアンプ回路 5 6 の内部ノード N A および N B の電圧レベルがそれぞれ、H レベルおよび L レベルのときに、ラッチ回路 5 7 は、その出力 Q F を L レベルに設定する。内部ノード N A および N B がともに電源電圧レベルのときには、ラッチ回路 5 7 はラッチ状態を維持する。

【 0 0 9 8 】

D フリップフロップ 5 8 は、データ読出クロック信号 C L K Q に同期して、この読出クロック信号 C L K Q の立上がりエッジに同期して出力データ Q を出力する。

【 0 0 9 9 】

ライトパスは、書込クロック信号 C L K D の立上がり同期して外部からの入力データ D を取込み出力する D フリップフロップ 6 0 と、D フリップフロップ 6 0 の出力信号に従って書込データ線 W D および $\overline{W D}$ を駆動するライトドライバ 6 2 を含む。このライトドライバ 6 2 は、D フリップフロップ 6 0 の出力信号を受けて書込データ線 $\overline{W D}$ を駆動するインバータと、このインバータの出力信号を受けて書込データ線 W D を駆動するインバータを含む。したがって、書込データ線 W D および $\overline{W D}$ には、ライトドライバ 6 2 により C M O S レベルの相補信号が内部書込データとして伝達される。次に、図 1 1 に示すタイミング図を参照

して、図 1 0 に示すデータバスのデータ読出時の動作について簡単に説明する。

【 0 1 0 0 】

クロック信号 C L K に同期してリードコマンド R E が与えられ、行系回路が動作し、選択メモリセルのデータがビット線 B L および / B L 上に伝達される。この行系回路のセンスアンプのセンス動作完了後、リードデータバスイコライズ指示信号 / R D E Q が H レベルとなり、読出データ線 R D および / R D の電源電圧 V d d L へのプリチャージ / イコライズが完了する。この後、図 7 に示すリード列選択線 C S L R が H レベルに立上がり、センスアンプにラッチされたメモリセルデータが、読出データ線 R D および / R D へ図 7 に示す読出ゲート 4 2 を介して伝達される。この読出データ線 R D および / R D の電位が変化し、プリアンプ内部ノード N A および N B に十分な電位差が生じると、所定のタイミングでプリアンプ活性化信号 P A E が活性化される。

【 0 1 0 1 】

プリアンプ回路 5 6 においては、閉込めゲート 5 6 a が非導通状態となり、内部ノード N A および N B が、読出データ線 R D および / R D から分離される。この状態でプリアンプ 5 6 b が活性化され、内部ノード N A および N B の低電位のノードを接地電位レベルへ駆動する。このプリアンプ 5 6 b の増幅動作により、内部ノード N A および N B の信号電位が、ラッチ回路 5 7 によりラッチされ、その出力 Q F が確定する。

【 0 1 0 2 】

次いで、読出クロック信号 C L K Q が H レベルに立上がると、D フリップフロップ 5 8 が、ラッチ回路 5 7 の出力 Q F (Q F n - 1) に従って出力データ Q (Q n - 1) を生成する。

【 0 1 0 3 】

このプリアンプ回路 5 6 の増幅動作が完了すると、所定のタイミングで、リードデータバスイコライズ指示信号 / R D E Q が L レベルとなり、再びリードバスプリチャージ / イコライズ回路 5 5 が活性化され、読出データ線 R D および / R D が電源電圧レベルにプリチャージされかつイコライズされる。

【 0 1 0 4 】

このプリアンプ回路 5 6 が非活性化されても、ラッチ回路 5 7 がラッチ状態にあり、また、D フリップフロップ 5 8 は、その出力 Q を 1 クロックサイクル期間維持する。

【 0 1 0 5 】

次のクロックサイクルにおいて、ページモードリードコマンド R E P M が与えられると、同様、内部で行系回路が動作し、ワード線の選択およびセンスアンプによるセンス動作が行なわれる。このページモードリードコマンド R E P M が与えられても、列系回路の動作は同じであり、センス動作完了後、所定のタイミングでリードデータバスイコライズ指示信号 / R D E Q が H レベルとなり、読出データ線 R D および / R D のプリチャージ / イコライズが完了する。この状態で列選択動作が行なわれ、選択列のセンスアンプデータに従って読出データ線 R D および / R D の電位が変化する。再びプリアンプ活性化信号 P A E が活性化され、プリアンプ回路 5 6 が増幅動作を行ない、ラッチ回路 5 7 のラッチデータ Q F n - 1 が Q F n に変化する。この後、読出クロック信号 C L K Q の立上がりによって、D フリップフロップ 5 8 により、ラッチデータ Q F に従って、出力データ Q (Q n) が出力される。

【 0 1 0 6 】

ページモード時においても、プリアンプ回路 5 6 のプリアンプ動作完了後、所定のタイミングで、リードデータバスイコライズ指示信号 / R D E Q が非活性化されて、データバスプリチャージ / イコライズ回路 5 5 により再び読出データ線 R D および / R D が電源電圧レベルにプリチャージされかつイコライズされる。

【 0 1 0 7 】

データ書込時においては、ライトコマンド印加時において、書込クロック信号 C L K D が生成され、この書込クロック信号 C L K D に従って D フリップフロップ 6 0 が、外部からのデータ D に従って内部書込データを生成する。ライトドライバ 6 2 がこの D フリップフロップ 6 0 からの内部データに従って書込データ線 W D および / W D を駆動する。ライトドライバ 6 2 は、クロック信号と非同期であるため、書込動作時においては、書込データ線 W D および / W D は、D フリップフロップ 6 0 により、1 クロックサイクル期間この状態を維持する。

【 0 1 0 8 】

このデータパスにおいて、Dフリップフロップ58および60を配置し、内部クロック信号CLKQおよびCLKDに従ってデータ転送を行なうことにより、内部クロック信号CLKQおよびCLKDが、クロック信号CLKに従って生成されており、クロック信号CLKに同期してデータの転送を行なうことができる。

【 0 1 0 9 】

ページモード時においても、列系回路は、通常動作モードと同様に1クロックサイクルで列アクセス動作を完結する。行系回路が、ページモード時には、プリチャージ指示信号が与えられるまで新たな動作が停止される。

【 0 1 1 0 】

図12は、図2に示すDRAM制御回路13の構成を概略的に示す図である。図12において、DRAM制御回路13は、クロック信号CLKに同期して外部からの動作指示信号RE、WE、REF、PMおよびPCを受け、内部動作指示信号intACT、intPM、intPC、intPM1、intRE、intWEを生成し、かつ外部からのアドレス信号A[16:0]に従って、内部行アドレス信号RA[12:0]および内部コラムアドレス信号CA[3:0]を生成するクロック同期型入力回路70を含む。

【 0 1 1 1 】

このクロック同期型入力回路70は、コマンドデコード回路を含み、外部からの動作指示信号RE、WE、REF、PMおよびPCの状態をデコードし、クロック信号CLKの立上がり同期してそのデコード結果を出力する。信号intACT（第1の内部動作指示信号）は、ロウ系活性化指示信号であり、リード動作指示信号RE、ライト動作指示信号WEおよびリフレッシュ動作指示信号REFのいずれかの活性化時、活性化されて、プリチャージ状態のロウ系回路（行系回路）を活性化し、行選択動作を駆動する。このロウ系活性化指示信号intACTが、第1の内部動作指示信号に対応する。

【 0 1 1 2 】

信号intPMは、内部ページモード指示信号であり、ページモードが指定さ

れたことを示し、このサイクルにおけるロウ系回路の非活性化を禁止する。このページモード動作指示信号 `int PM` が、第 2 の内部動作指示信号に対応する。

【0113】

信号 `int PC` は、内部プリチャージ動作指示信号（ページ動作完了指示信号）であり、選択行を非選択状態へ駆動する、すなわち開いたページを閉じる動作を指定する。このプリチャージ動作指示信号 `int PC` が、第 3 の内部動作指示信号に対応する。

【0114】

信号 `int PM1` は、遅延ページモード指示信号であり、内部ページモード指示信号 `int PM` を 1 クロックサイクル期間遅延した信号である。この遅延ページモード指示信号 `int PM1` は、クロック信号 `CLK` の立上がりエッジで内部ページモード指示信号 `int PM` が H レベルであれば H レベルに設定される。この遅延ページモード指示信号 `int PM1` を利用して、ページモード動作時のコラム系回路の活性化を実行する。

【0115】

信号 `int RE` は、内部リード動作指示信号であり、リードコマンドの印加時活性化されてデータ読出を指示する。

【0116】

信号 `int WE` は、内部ライト動作指示信号であり、ライトコマンドの印加時活性化されてデータの書込を指示する。

【0117】

クロック同期型入力回路 70 は、与えられたコマンドのデコードおよびクロック信号 `CLK` の立上がりエッジでのデコード結果の出力を行っており、これらの内部動作指示信号は、各クロックサイクルごとに更新される。

【0118】

行アドレス信号 `RA[12:0]` は、行ブロックを特定するブロックアドレス信号を含み、4 ビットの行アドレス信号により、16 個の行ブロックから 1 つの行ブロックが指定され、また 9 ビットの行アドレス信号により 512 本のワード線のうちの 1 つのワード線が指定される。

【 0 1 1 9 】

列アドレス信号CA[3:0]は、選択行ブロックに対して各アレイブロックごとに、4個のセンスアンプを特定する。1つの行ブロックにおいて16個のアレイブロックが配置されており、合計64個のセンスアンプが選択され、応じて64ビットのデータが転送される。

【 0 1 2 0 】

DRAM制御回路13は、さらに、ロウ系活性化指示信号intACTの活性化に従ってロウ系トリガ信号RASTを所定期間活性化するロウ系トリガ信号発生回路71と、このロウ系トリガ信号RASTの活性化に従ってビット線分離タイミング信号BLIT、ワード線活性化タイミング信号RXTおよびセンス活性化タイミング信号SOTを所定のシーケンスで活性化するロウ系タイミング制御回路72と、センス活性化タイミング信号SOTの活性化に従ってノーマルモードプリチャージトリガ信号PCT1を生成するノーマル動作プリチャージトリガ信号発生回路73と、内部プリチャージ動作指示信号intPCの活性化に従ってページモードプリチャージトリガ信号PCTpmを生成するページ動作プリチャージトリガ信号発生回路74と、内部ページモード指示信号intPMに従ってノーマルモードプリチャージトリガ信号をPCT1とページモードプリチャージトリガ信号PCTpmの一方を選択してプリチャージトリガ信号PCTmを生成するプリチャージトリガ切替回路75を含む。

【 0 1 2 1 】

このプリチャージトリガ信号PCTmに従って、ロウ系タイミング制御回路72は、ビット線分離タイミング信号BLIT、ワード線活性化タイミング信号RXTおよびセンス活性化タイミング信号SOTを所定のシーケンスで非活性化する。ここで、ノーマル動作は、クロック信号CLKの1クロックサイクルで行および列選択動作が完結する動作を示す。

【 0 1 2 2 】

プリチャージトリガ切替回路75は、内部ページモード指示信号intPMの活性化時、ページモードプリチャージトリガ信号PCTpmを選択し、内部ページモード指示信号intPMの非活性化時、ノーマルモードプリチャージトリガ

信号 P C T 1 を選択する。このプリチャージトリガ切替回路 7 5 においてプリチャージタイミングを、動作モードに応じて選択的に設定することにより、ページモードでのデータアクセスサイクルにおいて、ロウ系活性化タイミング信号が非活性状態に駆動されるのを防止する。一方、ノーマル動作時には、センス活性化タイミング信号 S 0 T の活性化後所定のタイミングで、これらのロウ系タイミング信号 B L I T、R X T および S 0 T を非活性化することより、1 クロックサイクル内でロウ系回路の動作を完結する。以上の回路が、行選択に関連する行系回路の動作を制御する。

【 0 1 2 3 】

D R A M 制御回路 1 3 は、さらに、センス活性化タイミング信号 S 0 T の活性化に従ってノーマル動作用コラムトリガ信号 C A S T 1 を生成するノーマル動作用コラム系トリガ信号発生回路 7 7 と、クロック同期型入力回路 7 0 からの遅延内部ページモード指示信号 i n t P M 1 に従ってページモードコラム系トリガ信号 C A S T p m を生成するページ動作用コラム系トリガ信号発生回路 7 6 と、これらのコラム系トリガ信号 C A S T 1 および C A S T p m のいずれかの活性化に応答してイネーブルされ、内部リード動作指示信号 i n t R E の活性化時リードデータバスイコライズ指示信号 / R D E Q、リードコラムデコードイネーブル信号 C D E R およびプリアンプ活性化信号 P A E を所定のシーケンスで活性化および非活性化するコラム系リードタイミング制御回路 7 8 と、コラム系トリガ信号 C A S T 1 および C A S T p m のいずれかの活性化に応答してイネーブルされ、内部動作指示信号 i n t W E の活性化時ライトコラムデコードイネーブル信号 C D E W を所定のタイミングで活性化しかつ非活性化するライト系リードタイミング制御回路 7 9 を含む。これらの回路により、列系回路の動作が制御される。

【 0 1 2 4 】

ノーマル動作用コラム系トリガ信号発生回路 7 7 は、センス活性化タイミング信号 S 0 T の活性化に응答してワンショットパルスの形態でノーマルモードコラム系トリガ信号 C A S T 1 を生成する。したがって、ページモードが設定されている場合には、センス活性化タイミング信号 S 0 T は活性状態にあるため、ノーマルモードコラム系トリガ信号 C A S T 1 は生成されない。一方、ページモード

コラム系トリガ信号 $CAS\overline{T}pm$ は、遅延内部ページモード指示信号 $int\overline{P}M1$ の活性化に応答して活性化される。この遅延内部ページモード指示信号 $int\overline{P}M1$ は、内部ページモード指示信号 $int\overline{P}M$ を 1 クロックサイクル遅延して生成される。内部ページモード指示信号 $int\overline{P}M$ は、外部からのページモード動作指示信号 PM の活性化に従って活性化される。したがって、ページモード時には、ページモードが最初に設定されたクロックサイクルにおいてはノーマル動作用コラム系トリガ信号 $CS\overline{T}1$ に従って列系回路の活性／非活性が行なわれ、以後のクロックサイクルにおけるページモード動作時には、ページモード動作用コラム系トリガ信号 $CS\overline{T}pm$ に従って、列系回路の動作を制御するタイミング制御回路 78 および 79 の活性／非活性が制御される。

【0125】

列系回路の動作活性化トリガ信号を、通常動作モード時とページモード時とで切替えることにより、ページモード動作時、ページを開いた状態で、データアクセスを各クロックサイクルにおいて外部からの列アドレス信号に従って行なうことができる。

【0126】

図 13 は、図 12 に示すクロック同期型入力回路 70 の構成の一例を概略的に示す図である。図 13 において、クロック同期型入力回路 70 は、リフレッシュ動作指示信号 REF とリード動作指示信号 RE とライト動作指示信号 WE と内部ページモード指示信号 $int\overline{P}M$ を受ける複合ゲート 80 と、クロック信号 CLK の立上がり同期してこの複合ゲート 80 の出力信号を取込みかつロウ系活性化信号 $int\overline{A}CT$ として出力する D フリップフロップ 81 と、ページモード動作指示信号 PM とページクローズ指示信号 PC と内部ページモード指示信号 $int\overline{P}M$ とを受ける複合ゲート 82 と、複合ゲート 82 の出力信号をクロック信号 CLK の立上がり同期して取込みかつ内部ページモード指示信号 $int\overline{P}M$ として出力する D フリップフロップ 83 と、ページクローズ指示信号 PC をクロック信号 CLK の立上がり同期して取込みかつ内部プリチャージ指示信号 $int\overline{P}C$ として出力する D フリップフロップ 84 と、リフレッシュ動作指示信号 REF をカウントしてリフレッシュアドレス $QA[12:0]$ を生成するリフレッシュ

ュアドレス発生回路 8 5 と、リフレッシュ動作指示信号 R E F に従って外部からのアドレス信号 A [1 2 : 0] とリフレッシュアドレス信号 Q A [1 2 : 0] の一方を選択するマルチプレクサ 8 6 と、マルチプレクサ 8 6 の出力信号と内部ロウアドレス信号 R A [1 2 : 0] の一方を内部ページモード指示信号 i n t P M に従って選択するマルチプレクサ 8 7 と、マルチプレクサ 8 7 の出力信号をクロック信号 C L K の立上がり同期して取込みかつ内部ロウアドレス信号 R A [1 2 : 0] として出力する D フリップフロップ 8 8 とを含む。

【 0 1 2 7 】

複合ゲート 8 0 は、リフレッシュ動作指示信号 R E F、リード動作指示信号 R E およびライト動作指示信号 W E を受ける O R 回路と、内部ページモード指示信号 i n t P M と O R 回路の出力信号を受けるゲート回路とを等価的に含む。このゲート回路は、内部ページモード指示信号 i n t P M が L レベルのときにバッファ回路として動作し、内部ページモード指示信号 i n t P M が H レベルのときには、その出力を L レベルに固定する。この複合ゲート 8 0 は、ページモードが指定されたときには、外部からの動作指示信号の取りこみを禁止する。

【 0 1 2 8 】

複合ゲート 8 2 は、ページモード動作指示信号 P M と内部ページモード指示信号 i n t P M とを受ける O R 回路と、O R 回路の出力信号とページクローズ指示信号 P C とを受けるゲート回路とを等価的に含む。このゲート回路は、ページクローズ指示信号 P C が L レベルのときにはバッファ回路として動作して、O R 回路が出力信号を伝達し、ページクローズ指示信号 P C が H レベルのときにはその出力を L レベルに固定する。

【 0 1 2 9 】

D フリップフロップ 8 1、8 3、8 4 および 8 8 は、クロック信号 C L K の立上がりエッジで与えられた信号を取込みかつ出力する通常の D フリップフロップで構成されてもよい。これに代えて、これらの D フリップフロップ 8 1、8 3、8 4 および 8 8 は、クロック信号 C L K が L レベルのときに入力 D に与えられた信号を取込み、クロック信号 C L K の立上がり同期して取込んだ信号を出力する 2 段のラッチ回路で構成されてもよい。

【 0 1 3 0 】

マルチプレクサ 8 6 は、リフレッシュ動作指示信号 R E F の活性化時リフレッシュアドレス発生回路 8 0 からのリフレッシュアドレス信号 Q A [1 2 : 0] を選択し、リフレッシュ動作指示信号 R E F の非活性化時外部からのアドレス信号 A [1 2 : 0] を選択する。マルチプレクサ 8 7 は、内部ページモード指示信号 i n t P M の活性化時内部ロウアドレス信号 R A [1 2 : 0] を選択し、内部ページモード指示信号 i n t P M の非活性化時、マルチプレクサ 8 6 の出力アドレス信号を選択する。したがって、ページモードが指定された次のサイクルにおいては、D フリップフロップ 8 8 にラッチされた選択ページを指定するアドレスが連続して出力される。

【 0 1 3 1 】

クロック同期型入力回路 7 0 は、さらに、クロック信号 C L K の立上がり同期して外部からのアドレス信号 A [1 6 : 1 3] を取込みかつ列アドレス信号 C A [3 : 0] として出力する D フリップフロップ 9 0 と、クロック信号 C L K の立上がりエッジに同期してリード動作指示信号 R E を取込み内部リード動作指示信号 i n t R E として出力する D フリップフロップ 9 1 と、クロック信号 C L K の立上がりエッジで、内部ページモード指示信号 i n t P M を取りこみ、遅延ページモード信号 i n t P M 1 として出力する D フリップフロップ 9 2 と、クロック信号 C L K の立上がりエッジに同期して外部からのライト動作指示信号 W E を取込み内部書込動作信号 i n t W E として出力する D フリップフロップ 9 3 を含む。これらの D フリップフロップ 9 0 - 9 3 の出力信号は、クロック信号 C L K の立上がりエッジに同期して更新される。

【 0 1 3 2 】

D フリップフロップ 9 2 からの遅延ページモード指示信号 i n t P M 1 は、D フリップフロップ 9 2 がクロック信号 C L K の立上りエッジで入力 D に与えられた信号を取り込んで出力するため、内部ページモード指示信号 i n t P M を 1 クロックサイクル遅延した信号となる。

【 0 1 3 3 】

図 1 4 は、図 1 3 に示すクロック同期型入力回路の動作を示すタイミング図で

ある。以下、図 1 4 を参照して、この図 1 3 に示すクロック同期型入力回路の動作について説明する。

【0 1 3 4】

クロックサイクル# 1 において、リードコマンド R E が設定される。このリードコマンド R E の設定時、リード動作指示信号 R E が H レベルであり、ページモード動作指示信号 P M およびページクローズ指示信号 P C は L レベルである。またリード動作指示信号 R E が H レベル、ライト動作指示信号 L レベルである。したがって、複合ゲート 8 0 の出力信号が、このリード動作指示信号 R E の H レベルに従って H レベルとなり（内部ページモード指示信号 i n t P M は L レベル）、応じてクロック信号 C L K の立上がりエッジに同期して、ロウ系活性化信号 i n t A C T が H レベルに立上がる。

【0 1 3 5】

内部ページモード指示信号 i n t P M および内部プリチャージ指示信号 i n t P C が、ページ動作指示信号およびページクローズ動作指示信号 P M および P C がそれぞれ L レベルであり、L レベルを維持する。内部リード動作指示信号 i n t R E が、リード動作指示信号 R E が H レベルであるため、クロック信号 C L K の立上がりエッジに同期して H レベルとなる。クロック信号 C L K の立上りに同期して、外部からのアドレス信号 A [1 6 : 0] に従って、内部行アドレス信号 R A [1 2 : 0] およびコラムアドレス信号 C A [3 : 0] が生成され、内部で行および列の選択が行なわれて、データの読出が実行される。このクロックサイクル# 1 において、行選択および列選択動作が完結する。

【0 1 3 6】

クロックサイクル# 2 においてライトコマンド W E が与えられる。このライトコマンド印加時においても、複合ゲート 8 0 の出力信号は、ライト動作指示信号 W E の活性化に従って H レベルとなるため、ロウ系活性化信号 i n t A C T は、H レベルを維持する。ページモード動作指示信号 P M およびページクローズ指示信号 P C が L レベルであるため、クロックサイクル# 2 においても、D フリップフロップ 8 3 および 8 4 からの内部ページモード指示信号 i n t P M および内部プリチャージ指示信号 i n t P C はともに L レベルを維持する。

【 0 1 3 7 】

リード動作指示信号 R E は L レベルであるため、このクロックサイクル # 2 においては、D フリップフロップ 9 1 からの内部リード動作指示信号 i n t R E は L レベルとなり、一方、D フリップフロップ 9 3 からの内部ライト動作指示信号 i n t W E がクロック信号 C L K の立上がりエッジに同期して H レベルとなる。この状態において、クロックサイクル # 2 において外部から与えられたアドレス信号 R A b および C A b に従ってメモリセル選択が行なわれ、データの書込が行なわれる。

【 0 1 3 8 】

クロックサイクル # 3 において、ページモードリードコマンド R E P M が与えられる。このクロックサイクル # 3 において、ページモード動作指示信号 P M の活性化に従って、クロック信号 C L K の立上がりエッジに同期して内部ページモード指示信号 i n t P M が H レベルとなる。また、D フリップフロップ 9 1 からの内部リード動作指示信号 i n t R E が、リード動作指示信号 R E の活性化に従ってクロック信号 C L K の立上がりエッジに同期して H レベルとなる。ライト動作指示信号 i n t W E は、ライト動作指示信号 W E が L レベルであるため、クロックサイクル # 3 においては L レベルとなる。このクロックサイクル # 3 においては、再び外部からのアドレス信号に従って D フリップフロップ 8 8 および 9 0 から生成される内部アドレス信号 R A c および C A c に従って行および列選択動作が行なわれ、データの読出が行なわれる。

【 0 1 3 9 】

ページモードが指定されているため、内部ページモード指示信号 i n t P M に従って、行系回路のリセットは行なわれず、選択行（ページ）は選択状態を維持する。図 1 2 に示すセンス活性化タイミング信号 S 0 T は、活性状態を維持する。列系回路はリセットされる。

【 0 1 4 0 】

遅延ページモード指示信号 i n t P M 1 は、クロックサイクル # 3 においてクロック信号 C L K の立上がりにおいては、内部ページモード指示信号 i n t P M は L レベルであるため、クロックサイクル # 3 においては L レベルを維持する。

【 0 1 4 1 】

クロックサイクル# 4において、再び、ページモードリードコマンドREPMが与えられる。このページモードリードコマンドREPMに従って、クロックサイクル# 4においても、ロウ系活性化信号i n t A C TはHレベルを維持し、また、内部ページモード指示信号i n t P MもHレベルを維持する。また、内部リード動作指示信号i n t R Eがリード動作指示信号R Eに従って、Hレベルを維持する。ページアドレスは、図1 2に示すマルチプレクサ8 7が、前サイクルのアドレスを選択しており、このサイクル# 4においてもアドレスR A cとなる。列アドレス信号は、外部からのアドレス信号A [1 6 : 3]に従ってC A dとなる。

【 0 1 4 2 】

遅延ページモード指示信号i n t P M 1は、クロックサイクル# 3における内部ページモード指示信号i n t P Mに従ってクロック信号C L Kの立上がりに同期してHレベルとなる。

【 0 1 4 3 】

クロックサイクル# 4においては、クロックサイクル# 3から連続してセンスアンプ活性化信号S 0 Tが活性状態に維持されており、図1 2に示すノーマルモードコラム系トリガ信号C A S T 1は活性化されない。遅延内部ページモード指示信号i n t P M 1を活性化することにより、図1 2に示すページ動作用コラム系トリガ信号発生回路7 6からのページモードコラム系トリガ信号C A S T p mがクロック信号C L Kに従って所定のタイミングで活性化され、内部リード動作指示信号i n t R Eに従って読出列選択動作が行なわれ、データの読出が行なわれる。

【 0 1 4 4 】

クロックサイクル# 5においてプリチャージコマンドP Cが与えられる。プリチャージコマンドP Cが与えられる場合には、プリチャージ動作指示信号P CがHレベルであり、残りの動作指示信号R E、W E、R E F、P MはすべてLレベルである。このクロックサイクル# 5においては、したがって、複合ゲート8 2の出力信号がLレベルとなり、クロック信号C L Kの立上がりに同期して、内部

ページモード指示信号 $i n t P M$ が L レベルなる。

【 0 1 4 5 】

内部プリチャージ指示信号 $i n t P C$ がプリチャージ動作指示信号 $P C$ に従ってクロック信号 $C L K$ の立上がり同期して 1 クロックサイクル期間 H レベルとなる。遅延ページモード指示信号 $i n t P M 1$ は、クロックサイクル # 4 の内部ページモード指示信号 $i n t P M$ に従って 1 クロックサイクル期間 H レベルとなる。しかしながら、リード動作指示信号 $R E$ およびライト動作指示信号 $W E$ はともに L レベルであるため、内部リード動作指示信号 $i n t R E$ および内部ライト動作指示信号 $i n t W E$ は、活性化されない。したがって、クロックサイクル # 5 においては、コラム系のトリガ信号が生成されても、列選択動作は行なわれず、選択行のプリチャージ動作のみが実行される。

【 0 1 4 6 】

クロックサイクル # 6 においてリフレッシュコマンド $R E F$ が与えられる。このリフレッシュコマンド $R E F$ に従って、複合ゲート 8 0 の出力信号が H レベルとなり、応じて、再び D フリップフロップ 8 1 からの内部ロウ系活性化信号 $i n t A C T$ が 1 クロックサイクル期間 H レベルとなる。このリフレッシュ動作指示信号 $R E F$ に従ってマルチプレクサ 8 6 が、リフレッシュアドレス発生回路 8 0 からのリフレッシュアドレス信号 $Q A [1 2 : 0]$ を選択する。内部ページモード指示信号 $i n t P M$ は、既に L レベルであるため、マルチプレクサ 8 7 が、マルチプレクサ 8 6 の出力信号を選択するため、D フリップフロップ 8 8 から、クロック信号 $C L K$ の立上がり同期して、リフレッシュアドレス信号 $Q A a$ が出力される。

【 0 1 4 7 】

このリフレッシュアドレス信号 $Q A a$ が、内部ロウアドレス信号として用いられて、行選択動作が行なわれる。このリフレッシュ動作時には、リード動作指示信号 $R E$ およびライト動作指示信号 $W E$ はともに L レベルである。したがってこのリフレッシュ動作時には列選択動作は行なわれない。この場合、内部でリフレッシュ動作指示信号を生成して、列系回路の動作を禁止する構成が用いられても良い。内部リフレッシュ動作指示信号に従って、コラム系トリガ信号

CAST1 および CASTpm を非活性状態に維持することにより、リフレッシュ時の列系回路の動作は禁止することが出来る。

【0148】

この図13に示すように、各クロックサイクルにおいてクロック信号CLKの立上がりに同期して、内部動作モード指示信号の状態が、外部からの信号に従って設定される。ページモード動作時には、マルチプレクサ87が先のサイクルに与えられたロウアドレス信号RA[12:0]を選択するため、ページ動作モード期間中、同一行アドレスが外部アドレスにかかわらず持続的に与えられる。これにより、ロウデコーダがスタティックにデコード動作を行なう構成であっても、正確にページモード時、同一行アドレスに従って同一ページ、すなわち同一ワード線を選択状態に維持することができる。

【0149】

図15は、図12に示すロウ系トリガ信号発生回路71の構成の一例を示す図である。図15において、ロウ系トリガ信号発生回路71は、内部ロウ系活性化信号intACTとクロック信号CLKとを受けてロウ系トリガ信号RASTを生成するAND回路71aを含む。AND回路71aを利用することにより、ロウ系トリガ信号RASTを、クロック信号CLKの立上がりに同期して活性化させることができる。

【0150】

図16は、図15に示すロウ系トリガ信号発生回路71の動作を示すタイミング図である。以下、図16を参照して、この図15に示すロウ系トリガ信号発生回路71の動作について簡単に説明する。

【0151】

内部ロウ系活性化信号intACTは、図13に示すように、Dフリップフロップ81から生成されており、1クロックサイクル期間活性状態に維持される。したがって、ロウ系トリガ信号RASTは、このクロック信号CLKがHレベルの期間Hレベルとなる。

【0152】

ページモード動作が設定された場合、そのページモードの最初のサイクルにお

いて、内部ロウ系活性化信号 $i n t A C T$ は H レベルを維持する。応じて、ロウ系トリガ信号 $R A S T$ は、クロック信号 $C L K$ の立上がり同期して半クロックサイクル期間 H レベルとなる。次のサイクルからは、内部ページモード指示信号 $i n t P M$ が H レベルに設定されているため、内部ロウ系活性化信号 $i n t A C T$ は、L レベルに維持され、応じて、ロウ系トリガ信号 $R A S T$ も L レベルを維持し、新たな行選択動作は、禁止される。後に詳細に説明ように、図 1 2 に示すロウ系タイミング制御回路 7 2 においては、ページモードが設定されている場合には、リセットは行なわれないため、ロウ系トリガ信号 $R A S T$ が L レベルに固定されても、行系回路の状態は変化しない。選択ページは、開いた状態を維持する。

【 0 1 5 3 】

図 1 7 は、図 1 2 に示すノーマル動作用プリチャージトリガ信号発生回路 7 3、ページ動作用プリチャージトリガ信号発生回路 7 4 およびプリチャージトリガ切替回路 7 5 の構成の一例を示す図である。図 1 7 において、ノーマル動作用プリチャージトリガ信号発生回路 7 3 は、センス活性化タイミング信号 $S 0 T$ を所定時間 $\Delta t 7$ 遅延する遅延回路 7 3 a と、遅延回路 7 3 a の出力信号とセンス活性化タイミング信号 $S 0 T$ を受けてノーマルプリチャージトリガ信号 $P C T 1$ を生成するゲート回路 7 3 b を含む。

【 0 1 5 4 】

ゲート回路 7 3 b は、遅延回路 7 3 a の出力信号が L レベルでありかつセンス活性化タイミング信号 $S 0 T$ が H レベルのときに、ノーマルモードプリチャージトリガ信号 $P C T 1$ を H レベルへ駆動する。したがって、このノーマル動作用プリチャージトリガ信号発生回路 7 3 は、センス活性化タイミング信号 $S 0 T$ の活性化に従って遅延時間 $\Delta t 7$ の間 H レベルとなるワンショットパルス信号をノーマル動作用プリチャージトリガ $P C T 1$ として生成する。

【 0 1 5 5 】

ページ動作用プリチャージトリガ信号発生回路 7 4 は、内部プリチャージ指示信号 $i n t P C$ を所定時間 $\Delta t 9$ 遅延する遅延回路 7 4 a と、遅延回路 7 4 a の出力信号と内部プリチャージ指示信号 $i n t P C$ を受けるゲート回路 7 4 b と、

ゲート回路 7 4 b の出力信号を所定時間 Δt_{10} 遅延してページモードプリチャージトリガ信号 PCT_{pm} を生成する遅延回路 7 4 c を含む。

【0156】

遅延回路 7 4 a およびゲート回路 7 4 b により、内部プリチャージ指示信号 int_{PC} の立上がりに対応してワンショットのパルスが発生するワンショットパルス発生回路が構成される。このワンショットパルスの H レベル期間は、遅延回路 7 4 a の有する遅延時間 Δt_9 により決定される。遅延回路 7 4 c は、センスアンプ活性化タイミング信号 SOT の活性化までに要する時間と同程度の遅延時間を有する。通常動作時とページモード動作時において、ほぼ同じタイミングで行系回路を非活性化することにより、ページモード動作の最後のサイクルにおいてプリチャージ動作およびデータアクセス動作を共に指定するオートプリチャージコマンドを与えて、列選択動作後内部を、通常動作モード時と同様に、確実にプリチャージ状態に復帰させることができる。

【0157】

プリチャージトリガ切替回路 7 5 は、等価的に、プリチャージトリガ信号 PCT_1 および PCT_{pm} を受ける OR ゲート 7 5 a と、OR ゲート 7 5 a の出力信号と内部ページモード指示信号 int_{PM} を受ける論理ゲート 7 5 b を含む。これらのゲート 7 5 a および 7 5 b は複合ゲートに構成される。

【0158】

このプリチャージトリガ切替回路 7 5 は、内部ページモード指示信号 int_{PM} が H レベルのときには、プリチャージトリガ信号 PCT_m を L レベルに固定し、ロウ系回路のプリチャージ（リセット）を禁止する。一方、内部ページモード指示信号 int_{PM} が L レベルのときには、プリチャージトリガ信号 PCT_1 および PCT_{pm} に従ってプリチャージトリガ信号 PCT_m が生成される。ページモード時においては、最初のサイクルを除いてセンス活性化タイミング信号 SOT は H レベルを維持し、ノーマルモードプリチャージトリガ信号 PCT_1 は L レベルに固定される。したがって、ページモード解除時に、ページモードプリチャージトリガ信号 PCT_{pm} に従ってプリチャージトリガ信号 PCT_m を生成する。

【 0 1 5 9 】

図 1 8 は、この図 1 7 に示す回路の動作を示すタイミング図である。以下、図 1 8 を参照して、この図 1 7 に示すロウ系プリチャージ回路図の動作について説明する。プリチャージコマンドが与えられた内部プリチャージ指示信号 $i n t P C$ が H レベルに立上がると、内部ページモード指示信号 $i n t P M$ は L レベルに立下がる。この内部プリチャージ指示信号 $i n t P C$ の立上がりにおいて、遅延時間 $\Delta t 1 0$ 経過後、時間幅 $\Delta t 9$ を有するパルス信号が生成され、ページモードプリチャージトリガ信号 $P C T p m$ が生成される。この内部ページモード指示信号 $i n t P M$ が L レベルであるため、このページモードプリチャージトリガ信号 $P C T p m$ に従って、プリチャージトリガ切替回路 7 5 は、プリチャージトリガ信号 $P C T m$ を生成する。このプリチャージトリガ信号 $P C T m$ に従って所定時間経過後、センス活性化タイミング信号 $S 0 T$ が非活性状態へ駆動される。

【 0 1 6 0 】

通常の 1 クロックサイクルで行および列選択動作が完結する動作が行なわれる場合、内部プリチャージ指示信号 $i n t P C$ および内部ページモード指示信号 $i n t P M$ はともに L レベルである。この場合、図 1 5 に示すロウ系トリガ信号発生回路 7 1 からのロウ系トリガ信号 $R A S T$ に従ってロウ系回路が活性化され、所定のタイミングでセンス活性化タイミング信号 $S 0 T$ が活性化される。このセンス活性化タイミング信号 $S 0 T$ の活性化に従って、ノーマル動作プリチャージトリガ信号発生回路 7 3 がワンショットパルスの形態で、ノーマルモードプリチャージトリガ信号 $P C T 1$ を生成する。したがって、プリチャージトリガ切替回路 7 5 は、このノーマルモードプリチャージトリガ信号 $P C T 1$ に従ってプリチャージトリガ信号 $P C T m$ を生成し、所定時間経過後、センス活性化タイミング信号 $S 0 T$ が非活性化される。

【 0 1 6 1 】

ページモードが指定され、内部ページモード指示信号 $i n t P M$ が H レベルに設定されると、そのサイクルにおいては、センス活性化タイミング信号 $S 0 T$ が所定のタイミングで活性状態へ駆動される。このセンス活性化タイミング信号 $S 0 T$ の活性化に従って、ノーマル動作プリチャージトリガ信号発生回路 7 3 が

、ノーマルモードプリチャージトリガ信号 $PCT1$ を発生する。しかしながら、内部ページモード指示信号 $intPM$ が、Hレベルであるため、プリチャージトリガ切替回路 75 からのプリチャージトリガ信号 $PCTm$ は、Lレベルに固定される。

【0162】

したがって、ページモード解除時には、内部プリチャージ指示信号 $intPC$ により生成されるページモードプリチャージトリガ信号 $PCTpm$ に従ってプリチャージトリガ信号 $PCTm$ を生成し、ノーマル動作時には、センス活性化タイミング信号 SOT に従って生成されるノーマルモードプリチャージトリガ信号 $PCT1$ に従ってプリチャージトリガ信号 $PCTm$ を生成する。

【0163】

図 19 は、図 12 に示すロウ系タイミング制御回路 72 およびノーマル動作用コラム系トリガ信号発生回路 77 の構成の一例を示す図である。図 19 において、ロウ系タイミング制御回路 72 は、ロウ系トリガ信号 RAS T を所定時間 Δt_1 遅延する遅延回路 72a と、遅延回路 72a の出力信号の立上がりに対応してセットされるセット／リセットフリップフロップ 72b と、セット／リセットフリップフロップ 72b の出力 Q からの出力信号を所定時間 Δt_2 遅延する遅延回路 72c と、遅延回路 72c の出力信号の立上がりに対応してセットされるセット／リセットフリップフロップ 72d と、セット／リセットフリップフロップ 72d の出力 Q からの出力信号を所定時間 Δt_3 遅延する遅延回路 72e と、遅延回路 72e の出力信号の立上がりに対応してセットされるセット／リセットフリップフロップ 72f を含む。

【0164】

セット／リセットフリップフロップ 72b、72d および 72f は、相補の出力 Q および \bar{Q} を有し、セット時出力 Q からの信号が Hレベルとなり、リセット時補の出力 \bar{Q} からの信号が Hレベルとなる。

【0165】

ロウ系タイミング制御回路 72 は、さらに、プリチャージトリガ信号 $PCTm$ を所定時間 Δt_4 遅延してセット／リセットフリップフロップ 72b のリセット

入力Rへ与える遅延回路72gと、セット／リセットフリップフロップ72bの補の出力／Qからの出力信号を所定時間 Δt_5 遅延し、その出力信号をセット／リセットフリップフロップ72dのリセット入力Rへ与える遅延回路72hと、セット／リセットフリップフロップ72dの補の出力／Qからの出力信号を所定時間 Δt_6 遅延し、その出力信号をセット／リセットフリップフロップ72fのリセット入力Rへ与える遅延回路72iを含む。

【0166】

したがって、セット／リセットフリップフロップ72b、72dおよび72fは、ロウ系トリガ信号R A S Tが活性化されると、それぞれ所定の時間経過後にセットされ、かつプリチャージトリガ信号P C T_mが与えられると、所定の遅延時間経過後に順次リセットされる。

【0167】

ロウ系タイミング制御回路72は、さらに、セット／リセットフリップフロップ72bおよび72fの出力信号を受けてビット線分離タイミング信号B L I Tを生成するO R回路72jと、セット／リセットフリップフロップ72bおよび72dの出力Qからの出力信号を受けてワード線活性化タイミング信号R X Tを生成するA N D回路72kと、セット／リセットフリップフロップ72dおよび72fのそれぞれの出力Qからの出力信号を受けてセンス活性化タイミング信号S O Tを生成するA N D回路72lを含む。

【0168】

ビット線分離タイミング信号B L I Tは、セット／リセットフリップフロップ72bおよび72fの少なくとも一方がセット状態のときにHレベルの活性状態に設定されて、ビット線分離ゲートを非導通状態に設定する。ワード線駆動タイミング信号R X Tは、セット／リセットフリップフロップ72bおよび72dがともにセット状態のときに活性化され、アドレス指定されたワード線を選択状態に駆動し、かつ活性状態の間選択ワード線を選択状態に維持する。センス活性化タイミング信号S O Tは、セット／リセットフリップフロップ72dおよび72fがともにセット状態のときに活性化されて、選択されたセンスアンプ帯のセンスアンプを活性状態に駆動しかつ活性状態の間センスアンプを活性状態に維持す

る。

【0169】

ノーマル動作用コラム系トリガ信号発生回路77は、センス活性化タイミング信号SOTを所定時間 Δt_8 遅延する遅延回路77aと、遅延回路77aの出力信号とセンス活性化タイミング信号SOTとを受けてノーマルモードコラム系トリガ信号CAST1を生成するゲート回路77bを含む。ゲート回路77bは、センス活性化タイミング信号SOTがHレベルであり、かつ遅延回路77aの出力信号がLレベルのときに、ノーマルモードコラム系トリガ信号CAST1をHレベルに設定する。このノーマル動作用コラム系トリガ信号発生回路77は、したがって、センス活性化タイミング信号SOTの活性化（立上がり）に応答してパルス幅 Δt_8 のワンショットパルスを発生する。

【0170】

図20は、図19に示す回路の動作を示すタイミング図である。以下、図20を参照して、図19に示すロウ系タイミング制御回路72およびノーマル動作用コラム系トリガ信号発生回路77の動作について説明する。

【0171】

ロウ系トリガ信号RASTが活性化されると、遅延回路72aの有する遅延時間 Δt_1 経過後にセット／リセットフリップフロップ72bがセットされ、応じてOR回路72jからのビット線分離タイミング信号BLITがHレベルに駆動される。セット／リセットフリップフロップ72bがセットされてから、遅延回路72cの有する遅延時間 Δt_2 経過後、セット／リセットフリップフロップ72dがセットされ、AND回路72kからのワード線活性化タイミング信号RXTがHレベル（活性状態）へ駆動される。セット／リセットフリップフロップ72dがセットされてから、遅延回路72eの有する遅延時間 Δt_3 の経過後、セット／リセットフリップフロップ72fがセットされ、センス活性化タイミング信号SOTが活性化される。

【0172】

このセンス活性化タイミング信号SOTの活性化に応答して、ノーマル動作用コラム系トリガ信号発生回路77から、ワンショットパルスの形態で、ノーマル

モードコラム系トリガ信号CAST1が活性化される。

【0173】

通常動作モード時においては、図17に示すように、センス活性化タイミング信号SOTの活性化に応答して、プリチャージトリガ信号PCTmが、活性化される。

【0174】

このプリチャージトリガ信号PCTmが活性化されると、遅延回路72gの有する遅延時間 Δt_4 の経過後、セット／リセットフリップフロップ72bがリセットされる。まだ、セット／リセットフリップフロップ72fはセット状態にあるため、ビット線分離タイミング信号BLITは、Hレベルの活性状態を維持する。セット／リセットフリップフロップ72bがリセットされてから、遅延回路72hの有する遅延時間 Δt_5 が経過すると、セット／リセットフリップフロップ72dがリセットされ、応じてAND回路72kからのワード線活性化タイミング信号RXTがLレベルに立下がる。すなわち、ワード線活性化タイミング信号RXTは、プリチャージトリガ信号PCTmが与えられてから時間 $\Delta t_4 + \Delta t_5$ 経過後に非活性化される。

【0175】

セット／リセットフリップフロップ72dのリセット後、遅延回路72iの有する遅延時間 Δt_6 経過後セット／リセットフリップフロップ72fがリセットされ、応じてAND回路72lからのセンス活性化タイミング信号SOTが非活性化される。このセット／リセットフリップフロップ72fのリセットにตอบสนองして、OR回路72jからのビット線分離タイミング信号BLITがLレベルとなり、非導通状態のビット線分離ゲートが導通状態に設定される。

【0176】

遅延回路を用いてセット／リセットフリップフロップを順次セット／リセットすることにより、所定のシーケンスで正確に行系制御信号を活性／非活性化することができる。

【0177】

なお、ページモード動作時、プリチャージコマンドが印加された場合には、そ

のプリチャージコマンドに従ってプリチャージトリガ信号 PCT_m が活性化される。この場合のビット線分離タイミング信号 $BLIT$ 、ワード線活性化タイミング信号 RXT およびセンスアンプ活性化タイミング信号 SOT の非活性化シーケンスは、図 20 に示す非活性化シーケンスと同じである。ページモード動作時には、図 17 に示すように、プリチャージトリガ信号 PCT_m は非活性状態に維持されるため、セット／リセットフリップフロップ 72b、72d および 72f はセット状態を維持する。従って、選択ワード線は選択状態を維持し、また、センスアンプは活性状態を維持する。すなわち、開かれたページが、オープン状態を維持する。

【0178】

図 21 は、図 12 に示す DRAM 制御回路 13 の動作を示すタイミング図である。以下、図 21 を参照して、図 12、図 13、図 15、図 17 および図 19 を参照して、その DRAM 制御回路のロウ系回路制御動作について説明する。

【0179】

まずページモードリードコマンド $REPM$ が与えられると、図 13 に示す D フリップフロップ 81 からのロウ系活性化信号 $intACT$ が活性化され、応じて図 15 に示すロウ系トリガ信号発生回路 71 から半クロックサイクル期間ロウ系トリガ信号 RAS_T が H レベルとなる。このロウ系トリガ信号 RAS_T の活性化に応答して、図 19 に示すロウ系タイミング制御回路 72 において、ビット線分離タイミング信号 $BLIT$ 、ワード線活性化タイミング信号 RXT およびセンス活性化タイミング信号 SOT がそれぞれ所定のタイミングで活性化される。

【0180】

ビット線分離タイミング信号 $BLIT$ の活性化に応答して、ビット線イコライズ指示信号 $BLEQ$ が L レベルとなり、選択行ブロックに対するセンスアンプ帯でのビット線イコライズ動作が完了する。また、このビット線分離タイミング信号 $BLIT$ の活性化に従って、非選択メモリアレイブロックに対するビット線分離指示信号 $/BLIU$ が L レベルに立下がり、一方、ビット線分離指示信号 $/BLIL$ は H レベルを維持する（図 7 参照）。ワード線活性化タイミング信号 RXT の活性化に応答して選択ワード線 WL が選択状態へ駆動される。これにより、

ビット線B L Lおよび／B L Lに、メモリセルデータが読出される。

【 0 1 8 1 】

次いで、センス活性化タイミング信号S O Tの活性化に応答してセンスアンプ活性化信号／S O PおよびS O Nがそれぞれ活性化される。

【 0 1 8 2 】

センス活性化タイミング信号S O Tが活性化されると、図17に示すノーマル動作プリチャージトリガ信号発生回路73からのノーマルモードプリチャージ指示信号P C T 1が所定期間活性状態となる。このとき、図17に示すように、ページモードが指定されており内部ページ動作指示信号i n t P MがHレベルであるため、プリチャージトリガ切替回路75からのプリチャージトリガ信号P C T mは非活性状態を維持する。したがって、図19に示すようにロウ系タイミング制御回路72における各フリップフロップはセット状態を維持する。

【 0 1 8 3 】

次のクロックサイクルにおいて再びページモードリードコマンドR E P Mが与えられる。この場合、図13に示すように、先のサイクルにおいて与えられたページモードリードコマンドにより、内部ページモード指示信号i n t P MはHレベルであるため、図13に示す複合ゲート80がその出力信号をLレベルに固定しており、クロック信号C L Kの立上がり時において、Dフリップフロップ81がラッチ状態となっても、ロウ系活性化指示信号i n t A C TはLレベルの非活性状態を維持し、応じてロウ系トリガ信号R A S TはLレベルを維持する。したがって、ロウ系タイミング制御回路72は、この2回目のページモードリードコマンドR E P Mの印加時においては、セット状態を維持し、行系回路の状態は変化しない。

【 0 1 8 4 】

次のサイクルで、プリチャージコマンドP Cが与えられると、図13に示すDフリップフロップ84からの内部プリチャージ指示信号i n t P CがHレベルに設定される。応じて、図17に示すページ動作プリチャージトリガ信号発生回路74から、所定時間経過後に、ページモードプリチャージ指示信号P C T p mが発生され、プリチャージトリガ切替回路75が、このページモードプリチャージ

ジトリガ信号 PCT_{pm} に従ってプリチャージトリガ信号 PCT_m を活性化する。このプリチャージトリガ信号 PCT_m に従ってロウ系タイミング制御回路 7 2 は、図 1 9 に示すように、順次所定のシーケンスでビット線分離タイミング信号 $BLIT$ 、ワード線活性化タイミング信号 RXT およびセンス活性化タイミング信号 SOT を非活性化する。

【0185】

センス活性化タイミング信号 SOT が非活性化されると、応じてセンスアンプ活性化信号 $/SOP$ および SON が非活性化される。ワード線活性化タイミング信号 RXT の非活性化に従って選択ワード線 WL が非選択状態へ駆動される。この後、ビット線分離タイミング信号 $BLIT$ が非活性化され、ビット線分離指示信号 $/BLIU$ が H レベルとなり、またビット線イコライズ指示信号 $BLEQ$ が H レベルとなり、ビット線 BL および $/BL$ のプリチャージおよびイコライズが行なわれる。

【0186】

1 クロックサイクルで行選択動作および列選択動作が完結する通常動作モード時においては、この図 2 1 に示す動作タイミング図において、プリチャージコマンド PC 印加時に生成されるページモードプリチャージトリガ信号 PCT_{pm} に代えてノーマルモードプリチャージトリガ信号 PCT_1 に従ってプリチャージトリガ信号 PCT_m が生成されて、ロウ系タイミング制御回路 7 2 のリセットが行なわれる。

【0187】

したがって、このページモード指定時、ロウ系タイミング制御回路 7 2 において、そのリセットをプリチャージコマンドが与えられるまで禁止することにより、内部で、行を選択状態に維持して、開いたページに対し連続的に列アクセスを行なうことができる。

【0188】

図 2 2 は、図 1 2 に示すページ動作作用コラム系トリガ信号発生回路 7 6 の構成の一例を示す図である。図 2 2 において、ページ動作作用コラム系トリガ信号発生回路 7 6 は、クロック信号 CLK を所定時間 Δt_{17} 遅延する遅延回路 7 6 a と

、遅延回路 7 6 a の出力信号とクロック信号 C L K と遅延内部ページモード指示信号 i n t P M 1 を受けるゲート回路 7 6 b と、ゲート回路 7 6 b の出力信号を所定時間 $\Delta t 1 8$ 遅延してページモードコラム系トリガ信号 C A S T p m を生成する遅延回路 7 6 c を含む。

【 0 1 8 9 】

ゲート回路 7 6 b は、遅延回路 7 6 a の出力信号が L レベルでありかつクロック信号 C L K および遅延内部ページモード指示信号 i n t P M 1 がともに H レベルのときに H レベルの信号を出力する。次に、この図 2 2 に示すページ動作用コラム系トリガ信号発生回路 7 6 の動作を、図 2 3 に示すタイミング図を参照して説明する。

【 0 1 9 0 】

ページモードが指定されたとき、内部ページモード指示信号 i n t P M が、ページモードが指定されている期間 H レベルに維持される。図 2 3 においては、2 クロックサイクル期間、ページモードが指定され、応じて内部ページモード指示信号 i n t P M が H レベルに維持される。

【 0 1 9 1 】

遅延ページモード指示信号 i n t P M 1 は、図 1 3 に示すように、この内部ページモード指示信号 i n t P M を 1 クロックサイクル期間遅延して生成される。したがって、ページモードが指定されたクロックサイクルにおいては、この遅延ページモード動作指示信号 i n t P M 1 は L レベルであるため、ページモードコラム系トリガ信号 C S T p m は L レベルを維持する。

【 0 1 9 2 】

次のクロックサイクルにおいて、遅延内部ページモード指示信号 i n t P M 1 が H レベルに立上がる。応じて、クロック信号 C L K の立上がりに対応して、ゲート回路 7 6 b の出力信号が H レベルとなる。このゲート回路 7 6 b の出力信号は、遅延回路 7 6 a の有する遅延時間 $\Delta t 1 7$ の H レベル期間を有する。遅延回路 7 6 c が、ゲート回路 7 6 b の出力信号を時間 $\Delta t 1 8$ 遅延して出力する。遅延回路 7 6 b を利用することにより、内部での列系回路の動作タイミングを通常動作モードとページモードとで同じとし、データの書込／読出マージンをページ

モード時においても保証する。

【0193】

ページモード指示信号 $int PM$ が L レベルに立下がっても、次のクロックサイクルにおいては、遅延内部ページモード指示信号 $int PM1$ は H レベルを維持する。したがって、このページモード動作解除時において、ページ動作用コラム系トリガ信号発生回路 76 から、ページモードコラム系トリガ信号 $CAS T p m$ が発生される。プリチャージコマンドの印加によるページモード動作解除においては、プリチャージ動作が実行される。リードコマンドまたはライトコマンドは与えられない場合には、特に列系回路動作は動作しないため、特に問題は生じない。

【0194】

また、オートプリチャージコマンドの印加時においては、そのサイクルにおいて内部ページモード指示信号 $int PM$ が L レベルに設定される。リードコマンドおよびライトコマンドに従って列系回路が動作する。このサイクルにおいては、センス活性化タイミング信号 SOT が H レベルにあるため、ノーマルモードコラム系トリガ信号 $CAS T 1$ は非活性状態に維持される。この列系回路の活性化のトリガ信号として、遅延内部ページモード指示信号 $int PM1$ に従って生成されるコラム系トリガ信号 $CAS T p m$ を用いる。これにより、データアクセスおよびプリチャージを指定するオートプリチャージコマンドを利用して、ページモードを終了することが出来る。

【0195】

図 24 は、図 12 に示すコラム系ライトタイミング制御回路 79 の構成の一例を概略的に示す図である。図 24 において、コラム系ライトタイミング制御回路 79 は、内部ライト動作指示信号 $int WE$ とコラム系トリガ信号 $CAS T 1$ および $CAS T p m$ とを受け、ライト系トリガ信号 $CAS WT$ を生成する複合ゲート 79a と、複合ゲート 79a の出力信号 $CAS WT$ を所定時間 $\Delta t 21$ 遅延する遅延回路 79b と、遅延回路 79b の出力信号の立上がりに対応してセットされてライトコラムデコーダイネーブル信号 $CDEW$ を活性化するセット／リセットフリップフロップ 79c と、ライト系コラムデコーダイネーブル信号 $CDEW$

を所定時間 Δt_{22} 遅延してセット／リセットフリップフロップ79cをリセットする遅延回路79tを含む。

【0196】

このライトコラムデコーダイネーブル信号CDEWに従って、ライトコラムデコーダが活性化されてデコード動作を行なって書込列選択信号を生成する。

【0197】

複合ゲート79aは、等価的に、コラム系トリガ信号CAST1およびCASTpmを受けるORゲートと、このORゲートと内部ライト動作指示信号intWEを受けるANDゲートを含む。

【0198】

図25は、図24に示すコラム系ライトタイミング制御回路79の動作を示すタイミング図である。以下、図25を参照して、図24に示すコラム系ライトタイミング制御回路79の動作について説明する。

【0199】

ライトコマンドが与えられると、1クロックサイクル期間内部ライト動作指示信号intWEがHレベルに設定される。内部ライト動作指示信号intWEが立上がると、内部で行系回路が動作し、センス活性化タイミング信号SOTの活性化に従ってノーマルモードコラム系トリガ信号CAST1が活性化される。応じて、複合ゲート79aからのライトコラム系トリガ信号CASWTが活性化され、遅延時間 Δt_{21} の経過後、セット／リセットフリップフロップ79cがセットされ、ライトコラムデコーダイネーブル信号CDEWが活性化される。遅延回路79dの有する遅延時間 Δt_{22} が経過すると、セット／リセットフリップフロップ79cがリセットされ、コラムデコーダイネーブル信号CDEWが非活性化される。

【0200】

ページモード動作時には、ノーマルモードコラム系トリガ信号CAST1に代えて、図22に示す回路76から生成されるページモードコラム系トリガ信号CSTpmに従ってライトコラム系トリガ信号CASWTが活性化される。

【0201】

したがって、このセット／リセットフリップフロップを遅延回路 7 9 d により所定時間経過後に、リセットすることにより、セルフタイムで、ページモード時においても所定期間、ライトコラムデコーダイネーブル信号 C D E W を活性化して、書込列選択線を選択状態へ駆動することができる。

【 0 2 0 2 】

図 2 6 (A) は、図 1 2 に示すコラム系リードタイミング制御回路 7 8 の構成の一例を示す図である。図 2 6 (A) において、コラム系リードタイミング制御回路 7 8 は、コラム系トリガ信号 C A S T 1 および C A S T p m と内部リード動作指示信号 i n t R E を受けてコラム系リードトリガ信号 C A S R T を生成する複合ゲート 7 8 a と、複合ゲート 7 8 a の出力信号 C A S R T を所定時間 $\Delta t 1$ 遅延する遅延回路 7 8 b と、遅延回路 7 8 b の出力信号の立上がりに対応してセットされるセット／リセットフリップフロップ 7 8 c と、セット／リセットフリップフロップ 7 8 c の出力 Q からの信号を所定時間 $\Delta t 1 2$ 遅延する遅延回路 7 8 d と、遅延回路 7 8 d の出力信号の立上がりに対応してセットされるセット／リセットフリップフロップ 7 8 e と、セット／リセットフリップフロップ 7 8 e の出力 Q からの信号を所定時間 $\Delta t 1 3$ 遅延する遅延回路 7 8 f と、遅延回路 7 8 f の出力信号の立上がりに対応してセットされるセット／リセットフリップフロップ 7 8 g を含む。

【 0 2 0 3 】

セット／リセットフリップフロップ 7 8 c、7 8 e および 7 8 g は、セット時その出力 Q からの信号を H レベルに設定し、リセット時、出力／Q からの信号を H レベルに設定する。

【 0 2 0 4 】

コラム系リードタイミング制御回路 7 8 は、さらに、セット／リセットフリップフロップ 7 8 g の出力 1 からの出力信号を所定時間 $\Delta t 1 4$ 遅延してセット／フリップフロップ 7 8 c をリセットする遅延回路 7 8 h と、セット／リセットフリップフロップ 7 8 c の出力／Q からの信号を所定時間 $\Delta t 1 5$ 遅延してセット／フリップフロップ 7 8 e をリセットする遅延回路 7 8 i と、セット／リセットフリップフロップ 7 8 e の出力／Q からの信号を所定時間 $\Delta t 1 6$ 遅延してセッ

ト／リセットフリップフロップ 7 8 g をリセットする遅延回路 7 8 j を含む。したがって、これらのセット／リセットフリップフロップ 7 8 c、7 8 e および 7 8 g は、順次セットされた後にそれぞれ所定時間経過後にリセットされる。

【0 2 0 5】

コラム系リードタイミング制御回路 7 8 は、さらに、セット／リセットフリップフロップ 7 8 c および 7 8 g の出力 Q からの信号を受けて読出データバスイコライズ指示信号／R D E Q を生成する O R 回路 7 8 k と、セット／リセットフリップフロップ 7 8 d および 7 8 e の出力 Q からの信号を受けてリードコラムデコードイネーブル信号 C D E R を生成する A N D 回路 7 8 m と、セット／リセットフリップフロップ 7 8 e および 7 8 g の出力 Q からの信号を受けてプリアンプ活性化信号 P A E を生成する A N D 回路 7 8 n を含む。

【0 2 0 6】

複合ゲート 7 8 a は、等価的に、コラム系トリガ信号 C A S T 1 および C A S T p m を受ける O R ゲートと、この O R ゲートの出力信号と内部リード動作指示信号 i n t R E を受けてリードコラム系トリガ信号 C A S R T を生成する A N D ゲートを含む。次に、この図 2 6 (A) に示すコラム系リードタイム制御性回路 7 8 の動作を、図 2 6 (B) に示すタイミング図を参照して説明する。

【0 2 0 7】

データ読出が行なわれるとき、内部リード動作指示信号 i n t R E が活性化される。リードコマンドまたはページモードリードコマンドまたはオートプリチャージリードコマンドが与えられると、センスアンプ活性化タイミング信号の活性化または所定時間経過後、トリガ信号 C A S T 1 または C A S T p m が活性化され、応じてリードコラム系トリガ信号 C A S R T が活性化される。この複合ゲート 7 8 a からのリードコラム系トリガ信号 C A S R T が活性化されると、遅延回路 7 8 b の有する遅延時間 Δt_{11} 経過後、ゲート／リセットフリップフロップ 7 8 c がセットされ、応じて O R ゲート 7 8 k からの読出データバスイコライズ指示信号／R D E Q が H レベルとなる。

【0 2 0 8】

セット／リセットフリップフロップ 7 8 c がセットされてから遅延回路 7 8 d

の有する遅延時間 Δt_{12} が経過した後、セット／リセットフリップフロップ78eがセットされ、応じてAND回路78mからのリードコラムデコードイネーブル信号CDE Rが活性化される。このリードコラムデコードイネーブル信号CDE Rの活性化に従って、リードコラムデコーダが活性化され、列選択信号が生成される。

【0209】

セット／リセットフリップフロップ78eがセットされてから遅延回路78fの有する遅延時間 Δt_{13} が経過すると、セット／リセットフリップフロップ78gがセットされ、応じてAND回路78nからのプリアンプイネーブル信号PAEが活性化される。これにより、図10に示すプリアンプ回路56が活性化され、内部データ線RDおよび／RDのデータの増幅およびラッチが行なわれる。

【0210】

プリアンプ活性化信号PAEが活性化されてから、遅延回路78hの有する遅延時間 Δt_{14} 経過後、セット／リセットフリップフロップ78cがリセットされ、その出力Qからの信号がLレベルとなる。応じて、AND回路78mからのリードコラムデコードイネーブル信号CDE Rが非活性化され、選択列が非選択状態へ駆動される。このセット／リセットフリップフロップ78cのリセットから、遅延回路78iの有する遅延時間 Δt_{15} が経過すると、セット／リセットフリップフロップ78eがリセットされ、応じてその出力Qからの信号がLレベルとなり、プリアンプ活性化信号PAEが非活性化される。

【0211】

このセット／リセットフリップフロップ78gがリセットされると、OR回路78kの両入力の信号が、ともにLレベルとなり、応じて読出データバスイコライズ指示信号／RDE Qが再びLレベルとなり、読出データ線のイコライズおよびプリチャージが行なわれる。

【0212】

この図26(A)に示すように、データ読出を行なう場合、ページモードおよびノーマルモード動作のいずれにおいても、リードコラム系トリガ信号CASRTが活性化されると、所定のシーケンスで、読出データ線イコライズ指示信号／

RDEQ、リードコラムデコーダイネーブル信号CDE Rおよびプリアンプ活性化信号PAEの活性／非活性化が行なわれる。

【0213】

図27は、内部読出クロックおよび内部書込クロックを発生する部分の構成を概略的に示す図である。図27において、内部書込／読出クロック発生部は、クロック信号CLKの立下がりに同期して、内部動作指示信号intREを取込み出力するDフリップフロップ100と、内部クロック信号CLKとDフリップフロップ100の出力信号とを受けて読出クロック信号CLKQを生成するAND回路101とを含む。

【0214】

書込クロック信号CLKDは、内部クロック信号CLKに従って生成される。図10に示す構成において、外部からの書込データを、データ書込時以外所定電圧レベルに固定することにより、内部のライトドライバ62が、データ書込時以外はこの固定データに従ってライトデータバスを駆動し、ライトデータバスの充放電は行なわれないため、特に問題は生じない。これに代えて、ライトドライバを内部ライト動作指示信号intWEに従って活性／非活性化することにより、確実にデータ書込時においてのみ、ライトデータバスを駆動することが出来る。データ書込用のDフリップフロップ60（図10参照）が常時動作しても、ライトドライバがデータ書込時以外非活性状態として消費電流を低減する。

【0215】

Dフリップフロップ100は、クロック信号CLKの立下がりに同期して、その入力Dに与えられた信号を取込み出力する。したがって、このDフリップフロップ100は、内部リード動作指示信号intREを半クロックサイクル遅延して出力する。次に、この図27に示す内部クロック発生部の動作を、図28を参照して説明する。

【0216】

リードコマンドが与えられると、内部リード動作指示信号intREがクロック信号CLKの立上がり同期してHレベルに立上がる。クロック信号CLKがLレベルに立下がると、Dフリップフロップ100の出力Qからの信号がHレベ

ルとなる。このときには、クロック信号CLKはLレベルであるため、AND回路101からの読出クロック信号CLKQはLレベルである。次のクロック信号CLKのHレベルへの立上がりに同期して、AND回路101からの読出クロック信号CLKQがHレベルとなる。このリード動作が繰返されている間、読出クロック信号CLKQがクロック信号CLKに同期して生成される。

【0217】

ライトコマンドが与えられると、そのサイクルにおいては、内部リード動作指示信号intREがLレベル、内部ライト動作指示信号intWEがHレベルとなる。このサイクルにおいては、Dフリップフロップ（FF）100の出力信号はHレベルであるため、読出クロック信号CLKQが、クロック信号CLKに同期して生成される。また、内部ライト動作指示信号intWEのHレベルの立上がりによって、AND回路102が、書込クロック信号CLKDを生成する。この読出クロック信号CLKQおよび書込クロック信号CLKDがともに生成されても、この半導体記憶装置において、データ読出経路およびデータ書込経路は別々に設けられており、データの衝突は生じない。

【0218】

クロック信号CLKがLレベルに立下がると、Dフリップフロップ100の出力信号がLレベルとなり、読出クロック信号CLKQの発生が停止される。一方、内部ライト動作指示信号intWEの状態に係らず、クロック信号CLKに同期して書込クロック信号CLKDが生成される。

【0219】

読出クロック信号CLKQおよび書込クロック信号CLKDは、図10に示すDフリップフロップ58および60へそれぞれ与えられ、外部へのデータ転送および内部への外部データの転送をクロック信号CLKに同期して行なうことができる。

【0220】

図29は、図12に示すDRAMタイミング制御回路13のコラム系制御部の動作を示すタイミング図である。以下、図29を参照して、このDRAM制御回路13のデータ読出時のコラム系制御部の動作について説明する。

【 0 2 2 1 】

クロックサイクル# 1においてページモードリードコマンドR E P Mが与えられる。このクロックサイクル# 1においてページモードリードコマンドR E P Mが与えられると、行選択動作が行なわれ、所定のタイミングで、図19に示すロウ系タイミング制御回路72からセンス活性化タイミング信号S O Tが活性化される。このセンス活性化タイミング信号S O Tの活性化に応答して、図19に示すように、ノーマル動作用コラム系トリガ信号発生回路77からのノーマルモードコラム系トリガ信号C A S T 1が所定期間Hレベルとなる。

【 0 2 2 2 】

このノーマルモードコラム系トリガ信号C A S T 1に従って、図26 (A)に示すコラム系リードタイミング制御回路78において、読出データバスイコライズ指示信号/ R D E QがHレベルとなり、次いで、リードコラムデコーダイネーブル信号C D E RがHレベルへ駆動される。リードコラムデコーダイネーブル信号C D E Rの活性化に従ってリードコラムデコーダが列選択動作を行ない、選択列に対応するリード列選択線C S L RをHレベルに駆動する。応じて、読出データ線R Dおよび/ R Dに選択メモリセルのデータが読出される。

【 0 2 2 3 】

次いで、プリアンプ活性化信号P A Eが、図26 (A)に示すコラム系リードタイミング制御回路78において活性化され、プリアンプ回路が動作し、データQ F n - 1がラッチされる。

【 0 2 2 4 】

このプリアンプ活性化信号P A Eが活性化された後、図26 (A)に示すように、所定期間経過後に、リードコラムデコーダイネーブル信号C D E Rが非活性化され、ついでプリアンプ活性化信号P A Eが非活性化される。

【 0 2 2 5 】

プリアンプ活性化信号P A Eが非活性化されても、図10に示すように、プリアンプ回路56の出力データはラッチ回路57によりラッチされている。この後、読出データ線イコライズ指示信号/ R D E QがLレベルとなり、読出データ線R Dおよび/ R Dが再び周辺電源電圧レベルにプリチャージされかつイコライズ

される。

【0226】

クロックサイクル#2において、クロック信号CLKがHレベルに立上がると、図28に示すように、読出クロック信号CLKQがHレベルとなり、このラッチされたデータQF_{n-1}が外部データQ_{n-1}として出力される。

【0227】

この出力データQ_{n-1}の図10に示すDフリップフロップ58からのデータ転送動作と並行して、再び、ページモードリードコマンドREPMに従って内部で列選択動作およびデータ読出が行なわれる。この場合、クロックサイクル#1においてページモードが指定されており、センス活性化タイミング信号SOTは活性状態を維持しており、ノーマルモードコラム系トリガ信号CAST1はLレベルを維持する。一方、図22に示すように、ページ動作用コラム系トリガ信号発生回路76から所定のタイミングでページモードコラム系トリガ信号CAST_{pm}が生成され、図26(A)に示すコラム系リードタイミング制御回路78において再び、信号/RDEQ、CDE RおよびPAERが所定のシーケンスで活性化/非活性化され、列選択および内部データQF_nの読出が行なわれる。

【0228】

クロックサイクル#3においてプリチャージコマンドPCが与えられると、選択行が非選択状態へ駆動され、センス活性化タイミング信号SOTが非活性状態へ駆動される。このクロックサイクル#3においては、遅延内部ページモード指示信号i_{nt}PM1に従って、ページモードコラム系トリガ信号CAST_{pm}が発生される(図22参照)。しかしながら、このクロックサイクル#3においては、リードコマンドおよびライトコマンドは与えられていないため、列選択動作は行なわれず、図26(A)に示すコラム系リードタイミング制御回路78はリセット状態を維持する。

【0229】

このクロックサイクル#3において、図27に示すように、読出クロック信号CLKQが生成され、ラッチ内部読出データQF_nに従ってその読出データQ_nが、図10に示すDフリップフロップ58から転送される。

【 0 2 3 0 】

これにより、ページモードに従って、128ビットのデータQ[127:0]を各クロックサイクル毎に読出することができる。

【 0 2 3 1 】

図30は、ページモードでのデータ読出時に、最後にオートプリチャージを指定するプリチャージリードコマンドREPCを印加する場合の動作を示すタイミング図である。以下、図30を参照して、図12に示すDRAMタイミング制御回路13の動作について簡単に説明する。

【 0 2 3 2 】

ページモードリードコマンドREPMが与えられると、図12に示すロウ系タイミング制御回路72がセットされ、所定のシーケンスでビット線分離タイミング信号BLIT、ワード線活性化タイミング信号RXTおよびセンス活性化タイミング信号SOTを活性化する。このビット線分離タイミング信号BLITの活性化に応答して、図7に示すビット線分離指示信号／BLIUがLレベルに駆動される。ワード線活性化タイミング信号RXTの活性化に応答してワード線WLが選択状態へ駆動され、またセンス活性化タイミング信号SOTの活性化に従ってセンスアンプ活性化信号／SOPおよびSONが活性化される。これにより、ビット線BLLおよび／BLLにメモリセルデータが読出される。

【 0 2 3 3 】

センス活性化タイミング信号SOTの活性化に応答して、図12に示すノーマル動作用コラム系トリガ信号発生回路77は、ノーマルモードコラム系トリガ信号CAST1を活性化する。次いで、図12に示すコラム系リードタイミング制御回路78が所定のシーケンスで、読出データバスイコライズ指示信号／RDEQ、リードコラムデコーダイネーブル信号CDERおよびプリアンプ活性化信号PAEをHレベルへ駆動する。リードコラムデコーダイネーブル信号CDERの活性化に従って、列選択が行なわれ、リード列選択線CSLRがHレベルへ駆動され、読出データ線RDおよび／RDにデータが読出される。プリアンプ活性化信号PAEの活性化に従って内部データの増幅が行なわれ、ラッチデータQFn-1が生成される。

【 0 2 3 4 】

ページモードが指定されているため、ロウ系の回路は、選択状態を維持する。次のクロックサイクルにおいて再びページモードリードコマンド R E P M が与えられると、図 1 2 に示すロウ系タイミング制御回路 7 2 はセット状態を維持するため、行選択に関連する回路部分（ロウ系回路）は、その状態は変化しない。一方、図 1 2 に示すページ動作コラム系トリガ信号発生回路 7 6 が、ページモードコラム系トリガ信号 C A S T p m を活性化し、応じて、再びコラム系リードタイミング制御回路 7 8 が活性化され、所定のシーケンスで信号 / R D E Q、C D E R および P A E を H レベルに駆動し、新たに列選択が行なわれ、次のラッチデータ Q F n が生成される。このクロックサイクルのクロック信号 C L K に立上がりに同期して、1 2 8 ビットのデータ Q [1 2 7 : 0] として、データ Q n がラッチデータ Q F n に従って生成される。

【 0 2 3 5 】

このコラム系リードタイミング制御回路 7 8 は、所定期間が経過すると、リードコラムデコードイネーブル信号 C D E R、プリアンプ活性化信号 P A E および読出データ線イコライズ指示信号 R D E Q を L レベルへそれぞれ駆動する。したがって、読出データ線 R D および / R D が再び周辺電源電圧レベルにプリチャージされかつイコライズされる。

【 0 2 3 6 】

次のサイクルで、プリチャージリードコマンド R E P C が与えられる。このプリチャージリードコマンド R E P C 印加時においては、図 3 に示すように、ページクローズ指示信号 P C とリード動作指示信号 R E がともに H レベルである。したがって、このページクローズ指示信号 P C に従って、ページモードプリチャージトリガ信号 P C T p m が所定のタイミングで列選択動作完了後に活性化され、図 1 2 に示すロウ系タイミング制御回路 7 2 がリセットされ、ワード線活性化タイミング信号 R X T、センス活性化タイミング信号 S O T およびビット線分離タイミング信号 B L I T がそれぞれ順次 L レベルに駆動され、行系回路がスタンバイ状態に復帰する。すなわち、ワード線活性化タイミング信号 R X T に従ってワード線 W L が非選択状態へ駆動され、次いで、センス活性化タイミング信号 S O

Tに従ってセンスアンプ活性化信号／S O PおよびS O Nが非活性化される。この後、ビット線分離タイミング信号B L I Tに従ってビット線分離指示信号／B L I Uおよびビット線イコライズ指示信号B L E QがHレベルに復帰する。

【 0 2 3 7 】

また、図2に示すコラム系リードタイミング制御回路78は、ページモードコラム系トリガ信号C A S Tに従って、センスアンプの非活性化の前に列選択動作を行ない、列選択動作およびデータ読出後プリチャージ状態に復帰する。プリアンプの非活性化はワード線の非選択状態移行後に行なわれてもよい。

【 0 2 3 8 】

このプリチャージリードコマンドR E P Cを与えることにより、リード動作完了後、行系回路がプリチャージ状態に復帰しているため、特に、行系回路のプリチャージのためのサイクルを設ける必要がなく、処理効率を改善することができる。

【 0 2 3 9 】

図31は、データ書込時の動作を示すタイミング図である。以下、図31を参照して、図12に示すDRAMタイミング制御回路13のデータ書込時の動作について簡単に説明する。

【 0 2 4 0 】

まず、ページモードライトコマンドW E P Mが、データD_{n-1} (D [1 2 7 : 0]) とともに与えられる。クロック信号C L Kの立上がり同期して、内部書込データW D_{n-1} が生成される。内部での行選択動作実行後、センスアンプ活性化タイミング信号S O Tの活性化に従って、ノーマルモードコラム系トリガ信号C A S T 1 が活性化され、応じて図12に示すコラム系ライトタイミング制御回路79が、ライトコラムデコードイネーブル信号C D E Wを所定期間活性化する。応じて、列選択動作が行なわれ、選択された列のビット線へのデータの書込が行なわれる。図31においては、ビット線B L および／B L により128ビットのビット線対を代表的に示す。

【 0 2 4 1 】

次のクロックサイクルにおいても再びページモードライトコマンドW E P Mが

データ D_n とともに与えられる。この場合には、ページモードコラム系トリガ信号 $CAS\ T\ p\ m$ に従って、図 1 2 に示すコラム系ライトタイミング制御回路 7 9 が活性化され、所定期間、ライトコラムデコーダイネーブル信号 $CDEW$ を活性化し、列選択動作が行なわれる。選択列に対して、クロック信号 CLK の立上がりにより同期して生成された内部書込データ WD_n が、ライトドライバおよび書込列選択ゲートを介して書込まれる。

【0 2 4 2】

次のサイクルで、プリチャージライトコマンド $WE\ PC$ が与えられる。このプリチャージライトコマンド $WE\ PC$ においては、ページクローズ指示信号 PC およびライト動作指示信号 WE がともに H レベルに設定され、ライト動作完了後内部をプリチャージ状態に復帰させることを指示する。したがって、ページモードコラム系トリガ信号 $CAS\ T\ p\ m$ の活性化により、書込データ D_{n+1} により生成された内部書込データ WD_{n+1} が選択ビット線 BL および \overline{BL} に書込まれた後、データ読出時と同様にして、行系回路がプリチャージ状態へ復帰する。

【0 2 4 3】

以上のように、1 クロックサイクル内でメモリアレイの活性／非活性動作が完了するリードコマンドおよびライトコマンドに加えて、さらに、行を選択状態に維持した状態でデータアクセスを行なうページモードコマンドおよび選択行を非選択状態へ駆動するプリチャージコマンドを設けている。したがって、ロウ系回路のプリチャージ動作を一時的に停止して、列アクセスを行なうことができ、画像処理などの同一ページへ連続的にアクセスする回数が多いアプリケーションにおいて大幅に消費電力を低減することができる。また、オートプリチャージコマンドを設けているため、データアクセス指示とプリチャージとを同一サイクルで指定することができ、プリチャージコマンドを印加するためのクロックサイクルを特に設ける必要がなく、ページ切替時のオーバーヘッドを低減することができ、処理効率を改善することができる。

【0 2 4 4】

〔実施の形態 2〕

図 3 2 は、この発明の実施の形態 2 に従うコマンドの真理値を示す図である。

この図 3 2 に示すように、この実施の形態 2 においては、リード動作指示信号 R E、ライト動作指示信号 W E、リフレッシュ動作指示信号 R E F、ページモード動作指示信号 P M およびページクローズ指示信号 P C をすべて H レベルに設定すると、モードレジスタセットコマンド M R S が与えられる。このモードレジスタセットコマンド M R S が与えられた場合には、モードレジスタへ、外部から動作モードを特定するデータを格納することができる。このモードレジスタセットコマンド M R S を用いて、ページモード動作を選択的に機能させる。

【 0 2 4 5 】

すなわち、図 3 3 に示すように、このモードレジスタセットコマンド M R S 印加時に、アドレスビット A [0] を L レベルに設定した場合には、ページモード動作が禁止される。一方、アドレスビット A [0] を H レベルに設定した場合には、ページモードを利用することができる。残りのアドレスビット A [1 6 : 1] は、このページモード動作の設定時には、その状態は任意である。

【 0 2 4 6 】

ページモード動作時には、同一チップ上に集積化されたロジック部が、コマンドを与えてページモード動作を指定することが要求される。ページモード動作は、たとえば画像データ処理などのように、処理データのアドレス順次変化する場合、極めて有効である。しかしながら、アクセスが、完全にランダムなアクセスであり、アドレスシーケンスがランダムな場合、各クロックサイクルごとにページを切換える必要がある。ページモードの特徴、すなわち平均消費電力の低減を見込むことができないこのようなアプリケーションの場合、特に、ページモードの機能は要求されない。

【 0 2 4 7 】

システム L S I は、通常、ロジック部がアプリケーションに応じて設計され、応じて、擬似 S R A M も、アプリケーションに応じて要求される仕様が異なる。ページモード機能付擬似 S R A M とページ機能なしの擬似 S R A M を別々に作製した場合、製造効率が低く、また製品管理も煩雑となる。そこで、モードレジスタセットコマンド M R S を用いて、ユーザが、選択的にページモード動作機能の有無を設定する機能を付け加える。これにより、各アプリケーションに対し、同

一構成で対応することのできる擬似 S R A M を実現することができ、汎用性の高い擬似 S R A M を実現でき、製造工程および製品管理の複雑化を防止することができる。

【 0 2 4 8 】

図 3 4 は、この発明の実施の形態 2 に従うページモード切換に関連する部分の構成の一例を示す図である。図 3 4 を参照して、D R A M 制御回路 1 3 において、モードレジスタ回路 1 1 0 と、クロック同期型入力回路 7 0 とが設けられる。モードレジスタ回路 1 1 0 は、ページモード機能の有効／無効を設定する情報を記憶する。クロック同期型入力回路 7 0 は、このモードレジスタ回路 1 1 0 の格納データに従って選択的に外部からのページモード動作指示信号 P M およびページクローズ指示信号 P C とに従って内部ページモード指示信号 i n t P M および内部プリチャージ指示信号 i n t P C を生成する。

【 0 2 4 9 】

モードレジスタ回路 1 1 0 は、外部からの動作モード指示信号 R E 、 W E 、 R E F 、 P M および P C を受ける A N D 回路 1 1 0 a と、A N D 回路 1 1 0 a の出力信号に従って外部からのアドレスビット A [0] および内部ページモードイネーブル信号 P M e n の一方を選択的に通過させるマルチプレクサ 1 1 0 b と、マルチプレクサ 1 1 0 b の出力信号を、クロック信号 C L K の立上がり同期して取込みかつ出力する D フリップフロップ 1 1 0 c を含む。この D フリップフロップ 1 1 0 c の出力 Q から、ページモードイネーブル信号 P M e n が出力される。

【 0 2 5 0 】

D フリップフロップ 1 1 0 c は、リセット入力 R に、リセット信号 R S T を受け、リセット状態時にはページモードイネーブル信号 P M e n を L レベルに設定する。このリセット信号 R S T は、電源投入時またはシステムリセット時に活性化される。したがって、デフォルト状態においては、ページモードイネーブル信号 P M e n は、L レベルに設定され、ページモードなしの状態に設定される。

【 0 2 5 1 】

クロック同期型入力回路 7 0 は、外部からのページモード動作指示信号 P M と

ページクロース指示信号 P C とページモードイネーブル信号 P M e n を受ける複合ゲート 1 1 2 と、複合ゲート 1 1 2 の出力信号をクロック信号 C L K の立上がりにより同期して取込み内部ページモード指示信号 i n t P M を生成する D フリップフロップ 8 3 と、ページモードイネーブル信号 P M e n とページクロース指示信号 P C とを受ける A N D 回路 1 1 4 と、A N D 回路 1 1 4 の出力信号をクロック信号 C L K の立上がりにより同期して取込み内部プリチャージ指示信号 i n t P C を生成する D フリップフロップ 8 4 を含む。このクロック同期型入力回路 7 0 の他の構成は、図 1 3 に示すクロック同期型入力回路 7 0 の構成と同じである。

【 0 2 5 2 】

複合ゲート 1 1 2 は、等価的に、外部からのページモード動作指示信号 P M と内部ページモード指示信号 i n t P M を受ける O R ゲートと、O R ゲートの出力信号とページモードイネーブル信号 P M e n とページクロース指示信号 P C を受けるゲート回路とを含む。このゲート回路は、ページクロース指示信号 P C が L レベルであり、ページモードイネーブル信号 P M e n が H レベルにあり、かつ O R ゲートの出力信号が H レベルのときに、H レベルの信号を出力し、それ以外では L レベルの信号を出力する。

【 0 2 5 3 】

図 3 5 は、図 3 4 に示すモードレジスタ回路 1 1 0 の動作を示すタイミング図である。以下、図 3 5 を参照して、この図 3 4 に示す回路の動作について説明する。

【 0 2 5 4 】

モードレジスタセットコマンド M R S が与えられると、A N D 回路 1 1 0 a の出力信号が H レベルとなる。すなわち、この A N D 回路 1 1 0 a が、モードレジスタセットコマンドをデコードするコマンドデコーダとして機能する。A N D 回路 1 1 0 a の出力信号が H レベルのときには、マルチプレクサ 1 1 0 b は、外部からのアドレスビット A [0] を選択して、D フリップフロップ 1 1 0 c へ与える。クロック信号 C L K が H レベルに立上がると、D フリップフロップ 1 1 0 c が、このマルチプレクサ 1 1 0 b の出力信号を取込み出力する。アドレスビット A [0] が H レベルのときには、ページモードイネーブル信号 P M e n が H レベ

ルに設定され、ページモード動作可能状態が設定され、一方、アドレスビットA [0] がLレベルに設定された場合には、ページモードイネーブル信号PMe n がLレベルに設定され、ページモード利用不可状態が設定される。

【0255】

クロック同期型入力回路170においては、ページモードイネーブル信号PMe n がHレベルに設定された場合には、複合ゲート112は、内部ページモード指示信号i n t PMおよびページモード動作指示信号PMおよびページクローズ指示信号PCに従って、その出力信号の状態を設定する。すなわち、ページモード動作指示信号PMがHレベルでありページクローズ指示信号PCがLレベルのときには、この複合ゲート112の出力信号がHレベルとなり、内部ページモード指示信号i n t PMがHレベルとなり、内部でのページ動作、すなわち行系回路のリセットの禁止が指定される。ページクローズ指示信号PCが与えられた場合には、AND回路114の出力信号が、このページクローズ指示信号PCに従って変化し、応じて内部プリチャージ指示信号i n t PCの状態も変化する。したがって、このページモードイネーブル信号PMe n がHレベルに設定された場合には、ページモードコマンドおよびプリチャージコマンドが、ともに有効状態に設定される。

【0256】

一方、モードレジスタセットコマンドMRSの印加時に、アドレスビットA [0] が、Lレベルに設定された場合、クロック信号CLKの立上がり同期して、ページモードイネーブル信号PMe n がLレベルに設定される。このページモードイネーブル信号PMe n がLレベルのときには、複合ゲート112の出力信号がLレベルに固定され、またAND回路114の出力信号もLレベルに固定される。したがって、この状態においては、ページモード動作指示信号PMおよびページクローズ指示信号PCは無効状態に設定され、その論理レベルに従って内部動作状態を設定することは禁止される。

【0257】

モードレジスタセットコマンドMRSが印加された後のサイクルにおいては、AND回路110aの出力信号がLレベルとなり、マルチプレクサ110bは、

Dフリップフロップ110cの出力するページモードイネーブル信号PMe nを選択する。したがって、Dフリップフロップ110cは、クロック信号CLKの立上がりに同期して、マルチプレクサ110bから与えられるページモードイネーブル信号PMe nを取込み出力するため、ページモードイネーブル信号PMe nの状態は、モードレジスタセットコマンドMRS印加時の状態に維持される。

【0258】

モードレジスタセットコマンド印加時においては、クロック信号CLKの立上りに応答して、ロウ系活性化指示信号i n t A C T、内部リード動作指示信号i n t R E、および内部ライト動作指示信号i n t W Eが活性化されることが考えられる。この場合、図34に示すAND回路110aの出力信号を、これらの信号の活性化禁止信号として利用されてもよい。この活性化禁止の構成としては、以下の手法が考えられる。

【0259】

各動作指示信号の次段のゲートに、AND回路110aの出力信号を活性化禁止信号として印加して内部動作を禁止する。また、内部動作指示信号に対応する各Dフリップフロップの入力段において、このAND回路110aの出力信号と外部からの動作モード指示信号とを受けるゲート回路を配置し、AND回路110aの出力信号の活性化時このゲート回路の出力信号を非活性状態に維持する。さらに、各動作モード指示信号を生成するDフリップフロップに対して、クロック信号CLKとAND回路110aを受けるゲート回路を配置し、このゲート回路の出力信号をクロック入力に与えて、各Dフリップフロップにおける信号の取込みを禁止する。これらの対策により、モードレジスタ設定時において、内部回路が誤動作するのを防止することができる。

【0260】

このページモードイネーブル信号PMe nは、デフォルト状態が、ページモード禁止状態である。従って、アプリケーションとしてページモードを利用しない場合には、このデフォルト状態を維持するだけであり、モードレジスタセットコマンドによりモードレジスタ回路110の内容を設定することは特に要求されない。

【 0 2 6 1 】

なお、ページモードイネーブル信号 P M e n のデフォルト状態が、ページモード利用可能状態に設定されてもよい。

【 0 2 6 2 】

なお、上述の構成においては、モードレジスタ回路にページモードイネーブル信号 P M e n を設定している。しかしながら、これに代えて、このページモードイネーブル信号 P M e n は、ヒューズプログラム回路、特定のボンディングパッドの電位固定またはマスク配線により、その論理レベルが設定されてもよい。

【 0 2 6 3 】

以上のように、この発明の実施の形態 2 に従えば、ページモードを、モードレジスタに格納される情報に従って選択的に有効／無効状態に設定されており、汎用性の高い擬似 S R A M を実現することができる。

【 0 2 6 4 】

〔実施の形態 3〕

図 3 6 は、この発明の実施の形態 3 に従う擬似 S R A M 3 の構成を概略的に示す図である。この図 3 6 に示す擬似 S R A M マクロ 3 においては、8 M ビット D R A M アレイ 1 0 e が、バンク A アレイ 1 2 0 e a およびバンク B アレイ 1 2 0 e b に分割され、また 8 M ビット D R A M アレイ 1 0 w も、バンク A アレイ 1 2 0 w a およびバンク B アレイ 1 2 0 w b に分割される。

【 0 2 6 5 】

バンク A アレイ 1 2 0 e a および 1 2 0 w a に対応してバンク A デコーダ 1 2 2 a が設けられ、バンク B アレイ 1 2 0 e b および 1 2 0 w b に対応してバンク B デコーダ 1 2 2 b が設けられる。これらのバンク A デコーダ 1 2 2 a および 1 2 2 b は、それぞれ、ロウデコーダおよびコラムデコーダを含む。

【 0 2 6 6 】

すなわち、この図 3 6 に示す擬似 S R A M マクロ 3 においては、2 つのバンク A および B が設けられる。したがって、D R A M 制御回路 1 2 4 へは、アドレス信号 A [1 6 : 0] に代えて、1 6 ビットのアドレス信号 A [1 5 : 0] と 1 ビットのバンクアドレス信号 B A とが与えられる。このバンクアドレス信号 B A に

従って、バンク A および B の一方が指定される。

【 0 2 6 7 】

D R A M 制御回路 1 2 4 は、バンク A に対する制御回路と、バンク B に対する制御回路と、バンク A および B に共通な制御回路を含む。この図 3 6 に示す擬似 S R A M マクロ 3 の他の構成は、図 2 に示す擬似 S R A M マクロの構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【 0 2 6 8 】

この図 3 6 に示す擬似 S R A M マクロ 3 においては、リフレッシュコマンド R E F およびノーオペレーション N O P を除く動作コマンド入力時に、バンクアドレス信号 B A により対象バンクを指定する。このバンクアドレス信号 B A により、バンクごとにページ動作が可能となり、各バンクごとにページを開いた状態を維持することができ、ページヒット率を向上することができ、かつ平均消費電力を低減することができる。

【 0 2 6 9 】

なお、リフレッシュコマンド R E F 印加時においては、内部のアドレスカウンタによりリフレッシュ行が指定される。リフレッシュアドレスカウンタが発生するリフレッシュアドレスは、17ビット Q [1 6 : 0] である。この場合、バンク A および B それぞれ個々に、リフレッシュが行なわれてもよく、またこれに代えて、1ビットのリフレッシュアドレスを縮退状態に設定して、バンク A および B において共通にリフレッシュが実行されてもよい。

【 0 2 7 0 】

図 3 7 は、図 3 6 に示す D R A M 制御回路 1 2 4 の構成を概略的に示す図である。図 3 7 において、D R A M 制御回路 1 2 4 は、バンクアドレス信号 B A とクロック信号 C L K とリード動作指示信号 R E とライト動作指示信号 W E とページモード動作指示信号 P M とページクローズ指示信号 P C とを受け、バンク A およびバンク B それぞれに対する制御信号を生成するバンク A 制御回路 1 3 0 およびバンク B 制御回路 1 3 2 を含む。バンク A 制御回路 1 3 0 は、バンクアドレス信号 B A がバンク A を指定するときに活性化され、バンク A に対するビット線分離タイミング信号 B L I T A 、ワード線活性化タイミング信号 R X T A 、センス活

性化タイミング信号 S O T A、リードコラムデコードイネーブル信号 C D E R A、コラムデコードイネーブル信号 C D E W A、バンク A リードデータバスイコライズ指示信号 R D E Q A、バンク A プリアンプイネーブル信号 P A E A を生成する。

【 0 2 7 1 】

バンク B 制御回路 1 3 2 は、バンクアドレス信号 B A が、バンク B を指定するときに活性化され、バンク B に対するビット線分離タイミング信号 B L I T B、ワード線活性化タイミング信号 R X T B、センス活性化タイミング信号 S O T B、リードコラムデコードイネーブル信号 C D E R B、ライトコラムデコードイネーブル信号 C D E W B、バンク B リードデータバスイコライズ指示信号 / R D E Q B、およびバンク B プリアンプイネーブル信号 P E A B を生成する。

【 0 2 7 2 】

これらのバンク A 制御回路 1 3 0 および 1 3 2 の構成は、図 1 2 に示す D R A M 制御回路 1 3 の構成と同様である。

【 0 2 7 3 】

この D R A M 制御回路 1 2 4 は、さらに、バンク A プリアンプイネーブル信号 P A E A とバンク B プリアンプイネーブル信号 P A E B を受けてプリアンプイネーブル信号 P A E を生成する O R 回路 1 4 0 と、バンク B 読出データ線イコライズ指示信号 / R D E Q A とバンク B 読出データ線イコライズ指示信号 / R D E Q B を受けて読出データ線イコライズ指示信号 / R D E Q を生成する O R 回路 1 4 2 を含む。

【 0 2 7 4 】

プリアンプおよび読出データ線は、バンク A およびバンク B に共通にリードデータバスに対して設けられる。したがって、バンク A 制御回路 1 3 0 およびバンク B 制御回路 1 3 2 は、それぞれセルフタイムで、バンク A およびバンク B に対する制御信号を生成したとき、プリアンプイネーブル信号 P A E を、バンク A およびバンク B それぞれに対するプリアンプイネーブル信号 P A E A および P A E B に基づいて活性化し、また読出データバスイコライズ指示信号 / R D E Q も、バンク A および B に対する読出データ線イコライズ指示信号 / R D E Q A および

／RDEQBから生成する。

【0275】

ライトドライバも同様、書込データバスがバンクAおよびバンクBに共通に設けられて、応じてバンクAおよびBに共通に設けられる。しかしながら、ライトドライバは、単に図10に示すように、DRAMデータバスのDフリップフロップからのデータを反転して相補データを生成するだけであり、このライトドライバに対する制御信号は特に用いられていないため、これらのバンクA制御回路130および132からは、ライトコラムデコーダイネーブル信号CDEWAおよびCDEWBが生成されるだけである。

【0276】

このライトドライバも、内部ライト動作指示信号に従って活性／非活性化される構成の場合には、バンクA制御回路130およびバンクB制御回路132からのライトドライバ制御信号を合成して、ライトドライバ制御信号を生成する。

【0277】

DRAM制御回路124は、さらに、クロック信号CLKとリード動作指示信号REとライト動作指示信号WEとに従って読出クロック信号CLKQおよび書込クロック信号CLKDを生成する転送クロック発生回路134と、リフレッシュ動作指示信号REFと外部アドレス信号A[15:0]とクロック信号CLKを受け内部行アドレス信号RA[11:0]および内部コラムアドレス信号CA[3:0]を生成するアドレス発生回路136を含む。

【0278】

転送クロック発生回路134は、図27に示すクロック発生回路に対応する。書込クロック信号CLKDをクロック信号CLKから生成する場合、ライト動作指示信号WEを個の転送クロック発生回路134に特に与えることは要求されない。アドレス発生回路136は、図13に示すアドレス信号A[12:0]およびA[16:13]を受ける部分に対応する。

【0279】

リフレッシュ動作指示信号REFの活性化時、バンクAおよびB同時にリフレッシュが実行されてもよく、またバンクAおよびバンクB個々にリフレッシュが

実行されてもよい。このリフレッシュ動作時の構成に応じて、内部で生成されるリフレッシュバンクアドレスの発生態様は適当に定められる。バンク A および B に対し共通にリフレッシュを行なう場合には、リフレッシュ動作時、バンクアドレス信号 B A が縮退状態に設定され、バンク A およびバンク B がともに活性化される。バンク A およびバンク B を個々にリフレッシュする場合には、バンクアドレス B A に代えてリフレッシュバンクアドレスが与えられる。

【 0 2 8 0 】

図 3 8 は、バンク A 制御回路 1 3 0 および 1 3 2 の要部の構成を概略的に示す図である。図 3 8 において、バンク A (またはバンク B) 制御回路は、バンクアドレス信号 B A (または / B A) とクロック信号 C L K を受ける A N D 回路 1 4 4 と、この A N D 回路 1 4 4 の出力するクロック信号 C L K i に従って外部からの信号をラッチして内部動作指示信号を生成するクロック同期型入力回路 1 4 6 を含む。この A N D 回路 1 4 4 からの内部クロック信号 C L K i が、図 1 3 に示すクロック同期型入力回路 7 0 に示される各 D フリップフロップのクロック入力 K へ与えられる。したがって、選択バンクにおいてクロック信号 C L K i が生成されて、外部動作モード指示信号の取込および内部動作活性化信号および内部動作トリガ信号の生成が行なわれる。非選択バンクにおいては、その前のサイクルの状態を維持する。

【 0 2 8 1 】

この図 3 8 に示す構成に代えて、内部バンクアドレス信号 i n t B A を D フリップフロップを用いてクロック信号 C L K に従って生成し、この内部バンクアドレス信号 i n t B A に従って、クロック同期型入力回路 7 0 の出力信号を選択的に活性化してもよい (内部動作指示信号と内部バンクアドレス信号との A N D 処理を行なう)。この構成の場合、クロック同期型信号入力回路はバンク A および B に共通に設けられる。

【 0 2 8 2 】

以上のように、この発明の実施の形態 3 に従えば、バンクそれぞれにおいてページモード動作を可能としており、各バンクにおいてページを開いた状態に維持することができ、ページモード動作期間を長くすることができ、より平均消費電

力を低減することができる。

【0283】

〔実施の形態4〕

図39は、この発明の実施の形態4に従う内部クロック発生回路の構成を示す図である。図39において、内部クロック発生回路は、内部制御信号EGFとページモード動作指示信号PMとページクローズ指示信号PCとを受ける複合ゲート150と、内部クロック信号CLKの立上がり同期して複合ゲート150の出力信号を取込み出力Qから内部制御信号EGFを生成するDフリップフロップ151と、内部クロック信号CLKの立下がり同期してDフリップフロップ151の出力信号EGFを取込みかつその出力Qから出力するDフリップフロップ152と、内部制御信号EGFとDフリップフロップ152の出力信号とを受けてネガクロックイネーブル信号NEG enを生成するOR回路153を含む。

【0284】

複合ゲート150は、等価的に、内部制御信号EGFとページモード動作指示信号PMを受けるORゲートと、ORゲートの出力信号とページクローズ指示信号PCを受けるゲート回路を含む。このゲート回路は、ページクローズ指示信号PCがHレベルのときにはLレベルの信号を出力し、ページクローズ指示信号PCがLレベルのときには、バッファ回路として動作し、ORゲートが出力信号に従って出力信号を生成する。

【0285】

内部クロック発生回路は、さらに、外部クロック信号exCLKを所定時間 $\Delta t k 1$ 遅延する遅延回路155と、遅延回路155の出力信号と外部クロック信号exCLKとを受けるゲート回路156と、外部クロック信号exCLKを所定時間 $\Delta t k 2$ 遅延する遅延回路157と、遅延回路157の出力信号と外部クロック信号exCLKと2ネガクロックイネーブル信号NEG enを受けるゲート回路158と、ゲート回路156および158の出力信号を受けるOR回路159と、OR回路159の出力信号をバッファ処理して内部クロック信号CLKを生成するバッファ回路160を含む。

【0286】

遅延回路 1 5 5 およびゲート回路 1 5 6 により、外部クロック信号 $e x C L K$ の立上がりに対応してパルス幅 $\Delta t k 1$ のパルス信号を生成するワンショットパルス発生回路が形成される。遅延回路 1 5 7 およびゲート回路 1 5 8 により、ネガクロックイネーブル信号 $N E G e n$ が H レベルのときに、外部クロック信号 $e x$ と $C L K$ の立下がりに対応してパルス幅 $\Delta t k 2$ のワンショットのパルス信号を生成するワンショットパルス発生回路が形成される。ネガクロックイネーブル信号 $N E G e n$ が L レベルのときには、ゲート回路 1 5 8 の出力信号は L レベルに固定される。

【 0 2 8 7 】

図 4 0 は、図 3 9 に示す内部クロック発生回路の動作を示すタイミング図である。以下、図 4 0 を参照して、この図 3 9 に示す内部クロック発生回路の動作について簡単に説明する。

【 0 2 8 8 】

ページモード動作指示信号 $P M$ およびページクローズ指示信号 $P C$ が L レベルのときには、複合ゲート 1 5 0 の出力信号は L レベルであり、OR 回路 1 5 3 からのネガクロックイネーブル信号 $N E G e n$ は L レベルを維持する。ネガクロックイネーブル信号 $N E G e n$ が L レベルのときには、ゲート回路 1 5 8 の出力信号は L レベルであり、内部クロック信号 $C L K$ が、遅延回路 1 5 5 およびゲート回路 1 5 6 により、外部クロック信号 $e x C L K$ の立上りに同期して生成される。したがって、クロックサイクル # 1 0 および # 1 1 において、内部クロック信号 $C L K$ は、外部クロック信号 $e x C L K$ の立上がりに対応して時間 $\Delta t k 1$ の間 H レベルとなる。

【 0 2 8 9 】

クロックサイクル # 1 2 において、ページモード動作指示信号 $P M$ が与えられ、ページモードが指定される。このクロックサイクル # 1 2 において、クロック信号 $C L K$ が H レベルとなる、D フリップフロップ 1 5 1 が複合ゲート 1 5 0 の出力信号を取込み出力し、内部制御信号 $E G F$ が H レベルとなる。この内部制御信号 $E G F$ の立上がりによって、OR 回路 1 5 3 からのネガクロックイネーブル信号 $N E G e n$ が H レベルとなり、ゲート回路 1 5 8 がイネーブルされる。

【 0 2 9 0 】

したがって、ページモード動作指示信号PMがHレベルに維持されるクロックサイクル#12および#13においては、外部クロック信号exCLKの立上がりエッジおよび立下がりエッジに同期して内部クロック信号CLKが生成される。外部クロック信号exCLKの立下がりに同期して生成される内部クロック信号CLKは、Hレベル期間が、遅延回路157の遅延時間 Δt_{k2} により決定される。

【 0 2 9 1 】

クロックサイクル#14において、ページモード動作指示信号PMがLレベルに設定され、一方、ページクローズ指示信号PCがHレベルに設定される。応じて、複合ゲート150の出力信号がLレベルとなる。クロックサイクル#14の内部クロック信号CLKの立上がりに同期して、Dフリップフロップ151が、複合ゲート150のLレベルの出力信号を取込み出力し、応じて、内部制御信号EGFがLレベルとなる。このときには、まだ、Dフリップフロップ152はHレベルの信号を出力しているため、ネガクロックイネーブル信号NEGEnがHレベルを維持する。

【 0 2 9 2 】

このクロックサイクル#14において、内部クロック信号CLKがLレベルに立下がると、Dフリップフロップ152が、内部制御信号EGFを取込み出力するため、このDフリップフロップ152の出力Qからの信号がLレベルとなり、応じて、ネガクロックイネーブル信号NEGEnがLレベルとなる。したがってクロックサイクル#14においては、ゲート回路158がディスエーブルされ、この外部クロック信号exCLKの立下がりエッジに同期する内部クロック信号の発生は停止される。

【 0 2 9 3 】

ページモードでデータ読出が行なわれる場合、読出クロック信号は、この内部クロック信号CLKQを1クロックサイクル遅延して生成される。したがって、クロックサイクル#14においてプリチャージ動作が行なわれている場合においても、読出クロック信号が生成される（図27参照）。

【 0 2 9 4 】

この図 3 9 に示す内部クロック発生回路からの内部クロック信号 C L K が、図 1 2 および 1 3 に示すクロック同期型入力回路 1 3 へ与えられる。

【 0 2 9 5 】

図 4 1 は、この発明の実施の形態 4 におけるデータ読出動作を、より具体的に示すタイミング図である。メモリアレイ構成は、図 7 に示すアレイ構成を有し、D R A M 制御回路は、図 1 2 に示す D R A M 制御回路 1 3 の構成を備える。したがって、各信号および信号線の参照符号については、これらの図面に付された参照符号を利用する。

【 0 2 9 6 】

この発明の実施の形態 4 においては、ページモードリードコマンド R E P M が与えられると、ネガクロックイネーブル信号 N E G e n が H レベルへ駆動される。このネガクロックイネーブル信号 N E G e n が H レベルの間、内部クロック信号 C L K は、外部クロック信号 e x C L K の立上がりエッジおよび立下がりエッジに同期して生成される。最初のページモードリードコマンド R E P M に従って行選択動作が行なわれ、ビット線分離タイミング信号 B L I T、ワード線活性化タイミング信号 R X T、センス活性化タイミング信号 S O T が所定のシーケンスで活性状態へ駆動される。応じて、ビット線分離ゲート / B L I U が L レベルに駆動され、またビット線イコライズ指示信号 B L E Q が非活性化される。ワード線活性化タイミング信号 R X T に従ってワード線 W L が選択状態へ駆動され、その後、センス活性化タイミング信号 S O T に従ってセンスアンプ活性化信号 / S O P および S O N が活性化される。この行系回路の動作は、ネガクロックイネーブル信号 N E G e n の活性 / 非活性に拘らず同じである。

【 0 2 9 7 】

センス活性化タイミング信号 S O T の活性化に応答して、コラム系トリガ信号 C A S T 1 が活性化されて、列選択動作が行なわれる。すなわち、読出データバスイコライズ指示信号 / R D E Q、リードコラムデコーダイネーブル信号 C D E R およびプリアンプイネーブル信号 P A E が所定のシーケンスで活性化され、読出列選択線 C S R および指定されたメモリセルデータが生成され、ラッチされる

。このラッチデータは内部クロック信号CLKの立上がり前に確定状態となっている。

【0298】

次いで、外部クロック信号exCLKの立下がりに同期して、再びページモードリードコマンドREPMを与える。この場合、ページモードコラム系トリガ信号CASTpmが活性化され、再び列選択動作が行なわれてデータの読出が行なわれ内部でラッチされる。先のページモードでの列選択動作が、内部クロック信号CLKの立上がり時において完了していなくても、このページモードコラム系トリガ信号CASTpmが、活性化されるまでに、列系回路のプリチャージが完了していればよい。従って、行系回路の動作期間を列系回路のプリチャージ期間として利用することができ、十分に列系回路の動作期間を確保することができる。

【0299】

その後、外部クロック信号exCLKの立下がりおよび立上がりエッジに同期して、ページモードリードコマンドREPMを与え、内部で、データQFn、QFn+1、QFn+2およびQFn+3がそれぞれラッチされる。これらのラッチデータは内部クロック信号CLKの立上がり前に確定状態にある。従って、これらのラッチデータは、内部クロック信号CLKの立上りに同期して外部読出データQn、Qn+1、Qn+2およびQn+3として出力される。

【0300】

内部クロック信号CLKは、この場合、外部クロック信号exCLKの立上がりエッジおよび立下がりエッジに同期して生成されており、外部データQ[127:0]を、この内部クロック信号CLKの立上がりエッジに同期して転送することにより、外部クロック信号exCLKの2倍の速度でデータを転送することができる。

【0301】

プリチャージコマンドPCが与えられると、内部クロック信号CLKの立下がりに同期して、ネガクロックイネーブル信号NEGenがLレベルとなり、内部クロック信号CLKの外部クロック信号exCLKの立下がりエッジに同期した発生が停止される。このプリチャージコマンドPCに従って、選択状態にあった

ロウ系の制御信号 B L I T、R X T および S O T が所定のシーケンスで非活性状態へ駆動され、応じてワード線 W L、センスアンプ活性化信号 / S O P および S O N が非活性状態へ駆動され、またビット線イコライズ指示信号 B L E Q がおよびビット線分離指示信号 / B L I U が H レベルへ駆動される。

【 0 3 0 2 】

このプリチャージコマンド P C の印加時において、そのクロックサイクルの内部クロック信号 C L K に従ってネガクロック N E G e n を非活性化することにより、外部の読出データ Q n + 3 を、読出データ C L K Q に従って転送することができる。

【 0 3 0 3 】

このダブルデータレートモードでデータの読出を行なう場合、プリアンプ回路の出力データのラッチが、内部クロック信号 C L K の立上がりエッジよりも遅れ、外部クロック信号 e x C L K の L レベルの期間に、ラッチデータ Q F が確定する場合が考えられる。この場合、内部データを全てダブルデータレートで外部クロック信号の立上りおよび立下りに同期してすべてを転送することはできなくなることが考えられる。この場合、ネガクロックイネーブル信号 N E G e n をコラムレイテンシ期間遅延した信号を用いて外部クロック信号 e x C L K の立上がりエッジおよび立下がりエッジに同期したクロック信号を生成して、読出クロック信号として利用する。これにより、正確に、コラムレイテンシに応じて必要なデータをページモード時読出すことができる。読出クロック信号 C L K Q の生成期間もコラムレイテンシ期間、本例においては、内部クロックの 1 クロックサイクル期間、外部クロック信号に対して 0. 5 クロックサイクル期間遅延して、読出クロック信号が生成されてもよい。

【 0 3 0 4 】

通常動作モード時においては、各クロックサイクルにおいて行系回路が動作し、その後に列系回路が動作する。ページモード時においては、各クロックサイクルにおいてロウ系回路が動作する期間を考慮して、列系回路がページモードコラム系トリガ信号 C A S T p m に従って動作している。したがって、ページ動作中においては、行系回路が活性状態に維持されているため、内部的に回路が全く動

作していない期間が存在する。この期間を利用して、外部クロック信号の立下がりエッジにおいても、データの読出動作を行なうように構成することにより、ロジック部との間のデータ転送速度を2倍にすることができ、高速データ転送を実現でき、システム性能を向上することができる。

【0305】

〔実施の形態5〕

図42は、この発明の実施の形態5に従う内部クロック発生部の構成を概略的に示す図である。この図42に示す内部クロック発生部は、以下の点において、図39に示す内部クロック発生回路の構成と異なっている。すなわち、内部クロック信号CLKを生成するために、外部クロック信号exCLKに位相同期した基準クロック信号CLK_rを生成するPLL（フェーズ・ロックト・ループ）165と、このPLL165からの互いに1/4サイクル位相のずれた4相のクロック信号φ₁－φ₄とネガクロックイネーブル信号NEG_{en}とに従って内部クロック信号CLKを生成するクロック生成部とが設けられる。

【0306】

ネガクロックイネーブル信号NEG_{en}を生成する回路部分は、図39に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0307】

PLL165は、外部クロック信号exCLKと基準クロック信号CLK_rの位相差を検出する位相差検出器165aと、この位相差検出器165aの出力信号に従ってチャージポンプ動作を行なって制御電圧を生成するチャージポンプ165bと、チャージポンプ165bの出力する制御電圧に従ってその発信周波数が調整されて基準クロック信号CLK_rを生成する電圧制御発信回路165cを含む。この電圧制御発信回路165cから、基準クロック信号CLK_rに同期した4相のクロック信号φ₁－φ₄が抽出される。

【0308】

クロック生成部は、互いに1/4サイクル位相のずれたクロック信号φ₁およびφ₂を受けるゲート回路166と、互いに位相が1/4サイクルずれたクロッ

ク信号 $\phi 3$ および $\phi 4$ とネガクロックイネーブル信号 $NEGen$ を受けるゲート回路 167 と、ゲート回路 166 および 167 の出力信号を受ける OR 回路 159 と、OR 回路 159 の出力信号をバッファ処理して内部クロック信号 CLK を生成するバッファ回路 160 を含む。

【0309】

PLL 165 を利用する場合、外部クロック信号 $exCLK$ に位相同期した、デューティ比 50% の基準クロック信号 $CLKr$ を生成することができる。したがって、外部クロック信号 $exCLK$ がジッタなどによりその H レベル期間または L レベル期間が変化しても、正確に、一定の H レベル期間および L レベル期間を有する基準クロック信号 $CLKr$ を生成することができる。したがって、外部クロック信号 $exCLK$ のジッタを考慮して最小クロックサイクルを設定する必要がなく、安定にかつ高速で、擬似 SRAM を動作させることができる。

【0310】

図 43 は、図 42 に示す電圧制御発信回路 165c の構成の一例を概略的に示す図である。図 43 において、電圧制御発信回路 165c は、図 42 に示すチャージポンプ 165b からの制御電圧 Vc に従って駆動電流が調整される電流源 170 と、それぞれ与えられた信号を時間 Δt_f 遅延する縦続接続される遅延段 171-174 と、遅延段 174 の出力する基準クロック信号 $CLKr$ を反転して遅延段 171 に反転信号を与えるインバータ $IV0$ を含む。遅延段 171-173 からクロック信号 $\phi 2-\phi 4$ が出力され、遅延段 174 からクロック信号 $\phi 1$ が出力される。

【0311】

遅延段 171-174 は同一構成を有し、図 43 においては、遅延段 171 の構成を具体的に示す。遅延段 171 は、縦続接続されるインバータ $IV1-IV2n$ と、インバータ $IV1-IV2n$ の出力ノードそれぞれに接続されるバッファ $BF1-BF2n$ とを含む。最終段のインバータの出力信号を受けるバッファ $BF2n$ からクロック信号 $\phi 2$ が出力される。

【0312】

インバータ $IV0$ の出力に対してもバッファ $BF0$ が接続される。遅延段 17

2-174 それぞれにおいて最終段のインバータに対して配置されたバッファからクロック信号 $\phi 3$ 、 $\phi 4$ および $\phi 1$ が出力される。インバータIV0とそれぞれ2n段のインバータ列を含む遅延段171-174により、 $8n+1$ 段のインバータがリング状に接続され、リングオシレータが構成される。これらの遅延段171-174のインバータの段数を大きくすることにより、インバータ1段の遅延時間を、遅延時間 Δt_f に較べて無視することのできる程度に設定することができる。遅延段171-174の遅延時間は同一であり、従って、遅延段171-174の有する遅延時間は、基準クロック信号CLKrのサイクルTの $1/4$ 倍の値となり、正確に基準クロック信号CLKrに同期したかつ互いに位相が $T/4$ ずれた4相のクロック信号 $\phi 1-\phi 4$ を生成することができる。

【0313】

また、このインバータIV0等においてそれぞれ、その出力にバッファを接続することにより、インバータIV0および遅延段171-174のインバータ列の各インバータの出力負荷を同一とすることができ、正確にデューティ比50%のクロック信号を生成することができ、各インバータの動作特性を同じとすることができ、遅延段171-174の遅延時間を同一に設定することができる。

【0314】

また、インバータそれぞれに対してバッファを配置し、インバータ列の $2n+1$ 段、 $4n+1$ 段、 $6n+1$ 段および $8n+1$ 段のタップ位置のバッファ(BF2n)の出力信号を、配線により選択して出力する。インバータ列の4等分点の位置のタップの出力を選択するだけであり、容易に正確な4相のクロック信号を生成することができる。

【0315】

基準クロック信号CLKrが図42に示す位相差検出器165aへ与えられる。外部クロック信号exCLKと基準クロック信号CLKrとの位相差に応じて制御電圧Vcが生成される。これらの遅延段171-174のインバータの動作電流およびインバータIV0の動作電流を制御電圧Vcに従って調整することにより、インバータIV0等の遅延時間を調整することができ、このインバータ列で構成されるリングオシレータの発振周波数を調整して、外部クロック信号ex

C L K に位相同期した基準クロック信号 C L K_r を生成することができる。

【 0 3 1 6 】

なお、図 4 3 に示す構成においては、電流源 1 7 0 によりインバータ I V 0 および遅延段 1 7 1 - 1 7 4 のインバータへ動作電流が共通に与えられている。しかしながら、これらのインバータ I V 0 および遅延段 1 7 1 - 1 7 4 のインバータそれぞれに対して、制御電圧 V_c に従って駆動電流が制御される電流源トランジスタが配置され、個々に駆動電流の調整が行なわれてもよい。また、電流源トランジスタが、充電側および放電側それぞれに対して設けられてもよい。

【 0 3 1 7 】

図 4 4 は、図 4 2 および図 4 3 に示す内部クロック発生部の動作を示すタイミング図である。以下、図 4 4 を参照して、図 4 2 および図 4 3 に示す回路の動作について説明する。

【 0 3 1 8 】

ネガクロックイネーブル信号 N E G e n を発生する回路部分の動作は、図 3 9 に示す回路部分の動作と同じである。ページモード動作が指定されたときに、クロック信号 C L K の立上がり同期して制御信号 E F G が H レベルとなり、応じてネガクロックイネーブル信号 N E G e n が H レベルに設定される。ページクローズ指示信号 P C が与えられると、クロック信号 C L K の立上がり同期して制御信号 E F G が L レベルとなり、次の内部クロック信号 C L K の立下がり同期してネガクロックイネーブル信号 N E G e n が L レベルに立下がる。

【 0 3 1 9 】

図 4 3 に示す電圧制御発振回路 1 6 5 c を含む回路は、P L L 回路であり、デューティ比 5 0 % の基準クロック信号 C L K_r が、この電圧制御発振回路 1 6 5 c から生成される。この基準クロック信号 C L K_r に従って、遅延段 1 7 1 - 1 7 4 から、それぞれ 1 / 4 サイクル位相のずれたクロック信号 $\phi 1 - \phi 4$ が生成される。ゲート回路 1 6 6 は、このクロック信号 $\phi 1$ が H レベルでありかつクロック信号 $\phi 2$ が L レベルの期間 H レベルの信号を出力する。したがって、ゲート回路 1 6 6 からは、基準クロック信号 C L K_r の立上がり同期して、時間 Δt_f の間 H レベルとなる信号が出力される。

【 0 3 2 0 】

ネガクロックイネーブル信号NEG enがHレベルのときには、ゲート回路167は、クロック信号 ϕ 3がHレベルでありかつクロック信号 ϕ 4がLレベルのときにHレベルとなる信号を出力する。したがって、ゲート回路167は、ネガクロックイネーブル信号NEG enがHレベルのときには、基準クロック信号CLK rの立下がりに同期して時間 $\Delta t f$ の間Hレベルとなる信号を出力する。

【 0 3 2 1 】

OR回路159およびバッファ回路160は、ゲート回路166および167の出力信号を合成している。したがって、内部クロック信号CLKは、基準クロック信号CLK rの立上がりおよび立下がりに同期して、時間 $\Delta t f$ の間Hレベルとなる。

【 0 3 2 2 】

クロック信号CLKの立下がりに同期して、ネガクロックイネーブル信号NEG enがLレベルに設定されると、ゲート回路167の出力信号がLレベルに固定され、内部クロック信号CLKは、以降、ネガクロックイネーブル信号NEG enがHレベルに設定されるまで、基準クロック信号CLK rの立上がりのみに同期して、時間 $\Delta t f$ の間Hレベルとなる。

【 0 3 2 3 】

このPLL165からの4相のクロック信号 ϕ 1- ϕ 4を利用することにより、ページモード時ダブルデータレートで動作するとき、デューティ比50%の内部クロック信号CLKを安定に生成することができる。

【 0 3 2 4 】

図45は、データレートのページモードリード動作を示すタイミング図である。この図45においては、内部クロック信号CLKおよび出力クロック信号CLK Qを示す。出力クロック信号CLK Qは、図27に示す出力クロック生成回路から出力される。内部クロック信号CLKは、図42に示す内部クロック発生回路から生成される。

【 0 3 2 5 】

この図45に示す動作シーケンスにおいては、ページモードリードコマンドR

EPMが繰返し与えられる。最初にページモードリードコマンドREPMが与えられると、クロック信号CLKの立上がりに従って内部リード動作指示信号intREが活性化される。このクロックサイクルから、図42に示す内部クロック信号CLKが、ダブルデータレートで生成される。読出クロック信号CLKQは、この内部クロック信号CLKより、内部クロック信号CLKの1クロックサイクル遅れて生成される（図27参照）。最初のページモードリードコマンドREPMに従って内部でページ選択（行選択）および列選択が行なわれる。内部読出データは、この外部クロック信号exCLKの半クロックサイクル内で読み出され、内部クロック信号CLKの立上りエッジ前に内部読出ラッチデータQFの状態が確定する。以後のページモードリードコマンドREPMにおいては、列選択動作が行なわれるだけであり、列選択時において、行選択動作完了を待つ必要はない（ページモードコラム系トリガ信号（CASTpm）は、遅延内部ページモード信号intPM1のクロック信号に従って生成される。行系回路の動作期間を列系回路のプリチャージ時間として利用する。内部クロック信号CLKの1クロックサイクル期間を、列系回路の活性／非活性の期間として利用する。列系回路のプリチャージが次のサイクルにおいて行なわれても、プリチャージ完了後にページモードコラム系トリガ信号CASTpmが活性化されて、新たな列選択動作が行なわれればよい。

【0326】

内部クロック信号CLKの各サイクルにおいて、ページモードリードコマンドREPMに従って、内部クロック信号CLKの立上がりエッジ前に内部読出ラッチデータQFの状態が確定しており、読出クロック信号CLKQに従って、外部読出データQを、ダブルデータレートで生成することができる。

【0327】

最後のサイクルに、プリチャージコマンドPCを印加することにより、内部リード動作指示信号intREがLレベルとなり、読出クロック信号CLKQが生成された後に、読出クロック信号CLKQの発生が停止される。したがって、最終のページモードリードコマンドREPMにより読出されるデータが出力された後、出力回路のデータ読出動作が停止する。

【 0 3 2 8 】

この図 4 5 に示すように、列選択動作時において、外部クロック信号 $e \times CLK$ の半クロックサイクル内においてプリアンプの出力データをラッチするラッチ回路の出力データ QF が確定状態にある場合、これまでに説明した回路を利用して、ダブルデータレートでページモード時動作させることができる。この場合、 CAS レイテンシは、外部クロック信号 $e \times CLK$ に対し 0.5 である。

【 0 3 2 9 】

なお、ページモードの最終サイクルにおいてオートプリチャージコマンド（プリチャージリードコマンド）を印加した場合、ページクローズ指示信号 PC により、ネガクロックイネーブル信号 NEG_{en} が、このサイクルにおいて内部クロック信号 CLK の立下りに従って非活性化され、このプリチャージリードコマンドによるデータを、外部へ転送することができなくなることが考えられる。この場合、図 4 2 に示すネガクロックイネーブル信号発生部において、 D フリップフロップ 152 の出力に対してさらに内部クロック信号 CLK の立上りに応答して D フリップフロップ 152 の出力信号を取り込んで、 OR ゲート 153 へ転送する D フリップフロップを配置する。これにより、オートプリチャージコマンド印加時においても正確にデータを全てダブルデータレートで転送しかつ内部の行系回路および列系回路をプリチャージ状態へ復帰させることが出来る。

【 0 3 3 0 】

外部クロック信号 $e \times CLK$ が高速であり、行および列選択を行なった場合、プリアンプの出力データ、すなわちラッチデータ QF の確定までに要する時間が、この外部クロック信号 $e \times CLK$ の半サイクルより長くなる場合が考えられる。この場合、以下のようなアクセスシーケンスを利用する。

【 0 3 3 1 】

列系回路は、このような高速の内部クロック信号に対しても、その 1 クロックサイクル内で動作は完結する。ページモード動作をした場合でも、ページモードコラム系トリガ信号 CAS_{Tp_m} は、通常動作時のセンスアンプ活性化値ミング信号の活性化のタイミングを考慮して活性化される。従って、各クロックサイクルにおいて内部読出ラッチデータ QF は、内部クロック信号 CLK の立上り後に

確定する。従って、外部読出データQは、図45に示すタイミングよりも、内部クロック信号CLKの1クロックサイクル遅れて出力される。従って、コラムレイテンシが、外部クロック信号exCLKに関して1となるため、ネガクロックイネーブル信号NEGEnの非活性化を1クロックサイクル遅延しかつ読出クロック信号CLKQを図45のタイミングよりも、内部クロック信号の1クロックサイクル遅延して生成する。

【0332】

コラムレイテンシに応じて、ネガクロックイネーブル信号NEGEnおよび内部読出クロック信号CLKQを生成することにより、内部データを正確に高速クロック信号に同期して転送することが出来る。

【0333】

上述の構成においては、PLLを利用して4相クロック信号を生成している。しかしながら、4相クロック信号の基準クロック信号CLKrを生成する回路としては、デューティ50のクロック信号を生成することが出来る回路であれば、任意の構成の位相同期回路を適用することが出来る。また、電圧制御発振回路に代えて、動作電流が位相差に応じて調整される電流制御発振回路が利用されてもよい。

【0334】

なお、データ書込時においても、ページモードライトコマンドを印加し、書込クロック信号CLKDを、内部クロック信号CLKに従って生成することにより、ダブルデータレートでデータの書込を行なうことができる。

【0335】

以上のように、この発明の実施の形態5に従えば、ページモード動作時、ダブルデータレートで動作を行なっており、平均消費電力を低減して高速でデータアクセスを行なうことができる。

【0336】

また、PLLを用いて4相クロック信号を生成し、この4相クロック信号を利用してダブルデータレート用の内部クロック信号CLKを生成している。したがって、外部クロック信号exCLKの1/4周期のHレベル期間を有する内部ク

ロック信号をダブルデータレートモード時およびノーマルモード動作時いずれにおいても生成することができ、ダブルデータレート動作時において、内部クロック信号をデューティ比50%で生成することができ、安定かつ高速にデータの転送を行なうことができる。

【0337】

なお、本発明の擬似SRAMにおいて、DRAMセルがメモリセルとして利用される。このDRAMとしては、1つのメモリセルで1ビットのデータを記憶するシングルセルモードDRAMのセル構成が用いられてもよく、また、2つのDRAMセルで1ビットのデータを記憶するDRAMのセル構成が用いられてもよい。

【0338】

また、システムLSIにおいては、最小限ロジックと擬似SRAMが半導体チップ上に集積化されることが要求されるだけであり、同一半導体チップ上に、別のアナログ/デジタル変換回路および不揮発性記憶装置などの他のユニットが集積化されていてもよい。

【0339】

【発明の効果】

以上のように、この発明に従えば、擬似SRAMに対しページモードコマンドおよびプリチャージコマンドまたはオートプリチャージコマンドを準備しており、この擬似SRAMをページモードで動作させることができ、各クロックサイクル毎に行および列系回路とともに充放電する必要がなく、平均消費電力を低減することができる。

【図面の簡単な説明】

【図1】 この発明に従う擬似SRAMを含むシステムLSIの構成を概略的に示す図である。

【図2】 図1に示す擬似SRAMマクロの全体の構成を概略的に示す図である。

【図3】 図2に示す擬似SRAMのコマンドを一覧にして示す図である。

【図4】 図2に示す擬似SRAMマクロに含まれるメモリセルの構造を概

略的に示す図である。

【図 5】 図 2 に示す D R A M アレイの構成を概略的に示す図である。

【図 6】 図 2 に示すデコーダの部分の構成を概略的に示す図である。

【図 7】 図 5 に示すセンスアンプ帯の構成を具体的に示す図である。

【図 8】 図 5 の行ブロックに対応して設けられる制御回路の構成を概略的に示す図である。

【図 9】 図 2 から図 7 に示す擬似 S R A M マクロの動作を示す信号波形図である。

【図 1 0】 図 2 に示す D R A M データバスの構成の一例を示す図である。

【図 1 1】 図 1 0 に示すデータバスの動作を示す信号波形図である。

【図 1 2】 図 2 に示す D R A M 制御回路の構成を概略的に示す図である。

【図 1 3】 図 1 2 に示すクロック同期型入力回路の構成の一例を示す図である。

【図 1 4】 図 1 3 に示すクロック同期型入力回路の動作を示すタイミング図である。

【図 1 5】 図 1 2 に示すロウ系トリガ信号発生回路の構成の一例を示す図である。

【図 1 6】 図 1 5 に示すロウ系トリガ信号発生回路の動作を示すタイミング図である。

【図 1 7】 図 1 2 に示すプリチャージトリガ切替回路およびプリチャージトリガ信号発生回路の構成の一例を示す図である。

【図 1 8】 図 1 7 に示す回路の動作を示すタイミング図である。

【図 1 9】 図 1 2 に示すロウ系タイミング制御回路およびノーマルロウ系プリチャージトリガ信号発生回路の構成の一例を示す図である。

【図 2 0】 図 1 9 に示す回路の動作を示すタイミング図である。

【図 2 1】 図 1 2 に示す D R A M 制御回路の行選択に関連する部分の回路動作を示すタイミング図である。

【図 2 2】 図 1 2 に示すページ動作用コラム系トリガ信号発生回路の構成の一例を示す図である。

【図 2 3】 図 2 2 に示すページ動作用コラム系トリガ信号発生回路の動作を示すタイミング図である。

【図 2 4】 図 1 2 に示すコラム系ライトタイミング制御回路の構成の一例を示す図である。

【図 2 5】 図 2 4 に示す回路の動作を示すタイミング図である。

【図 2 6】 (A) は、図 1 2 に示すコラム系リードタイミング制御回路の構成の一例を示し、(B) は、図 2 6 (A) に示す回路の動作を示すタイミング図である。

【図 2 7】 図 2 に示す D R A M 制御回路に含まれる読出および書込クロック発生回路の構成の一例を示す図である。

【図 2 8】 図 2 7 に示す回路の動作を示すタイミング図である。

【図 2 9】 図 1 2 に示す D R A M 制御回路のデータ読出に関連する部分の動作を示すタイミング図である。

【図 3 0】 図 2 に示す擬似 S R A M の全体の動作を示すタイミング図である。

【図 3 1】 図 1 2 に示す D R A M 制御回路のデータ書込に関連する部分の動作を示すタイミング図である。

【図 3 2】 この発明の実施の形態 2 に従う擬似 S R A M のコマンドの真理値を示す図である。

【図 3 3】 この発明の実施の形態 2 におけるページモード設定とアドレスビットの対応関係を示す図である。

【図 3 4】 この発明の実施の形態 2 に従うモードレジスタ回路およびクロック同期型入力回路の構成の一例を示す図である。

【図 3 5】 図 3 4 に示すモードレジスタ回路の動作を示すタイミング図である。

【図 3 6】 この発明の実施の形態 3 に従う擬似 S R A M マクロの全体の構成を概略的に示す図である。

【図 3 7】 この発明の実施の形態 3 に従う D R A M 制御回路の構成を概略的に示す図である。

【図 3 8】 図 3 7 に示すバンク A およびバンク B 制御回路の要部の構成を概略的に示す図である。

【図 3 9】 この発明の実施の形態 4 に従う内部クロック発生部の構成を示す図である。

【図 4 0】 図 3 9 に示す内部クロック発生部の動作を示すタイミング図である。

【図 4 1】 この発明の実施の形態 4 における擬似 S R A M の全体の動作を示す信号波形図である。

【図 4 2】 この発明の実施の形態 5 に従う内部クロック発生部の構成を示す図である。

【図 4 3】 図 4 2 に示す電圧制御発信回路の構成を概略的に示す図である。

【図 4 4】 図 4 2 に示す内部クロック発生部の動作を示すタイミング図である。

【図 4 5】 この発明の実施の形態 5 に従う擬似 S R A M のページモードリード動作を示すタイミング図である。

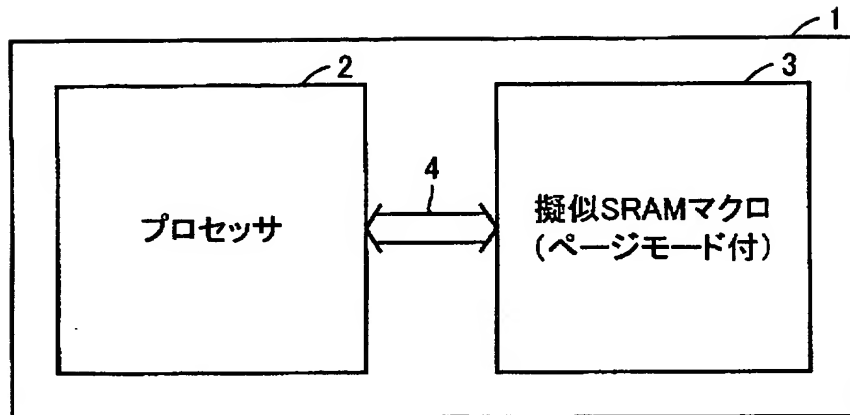
【符号の説明】

1 システム L S I、2 プロセッサ、3 擬似 S R A M マクロ、1 0 e, 1 0 w D R A M アレイ、1 1 e, 1 1 w D R A M データバス、1 2 デコーダ、1 3 D R A M 制御回路、3 2 ロウデコーダ、3 4 ライトコラムデコーダ、3 3 リードコラムデコーダ、5 0 ローカルロウ系制御回路、5 6 プリアンプ回路、5 7 ラッチ回路、5 8, 6 0 D フリップフロップ、6 2 ライトドライバ、7 0 クロック同期型入力回路、6 1 ロウ系トリガ信号発生回路、7 2 ロウ系タイミング制御回路、7 3 ノーマル動作用プリチャージトリガ信号発生回路、7 4 ページ動作用プリチャージトリガ信号発生回路、7 5 プリチャージトリガ切替回路、7 6 ページ動作用コラム系トリガ信号発生回路、7 7 ノーマル動作用コラム系トリガ信号発生回路、7 8 コラム系リードタイミング制御回路、7 9 コラム系ライトタイミング制御回路、8 0, 8 2 複合ユニット、8 1, 8 3, 8 4, 8 8, 9 0 - 9 3 D フリップフロップ、1 1 0

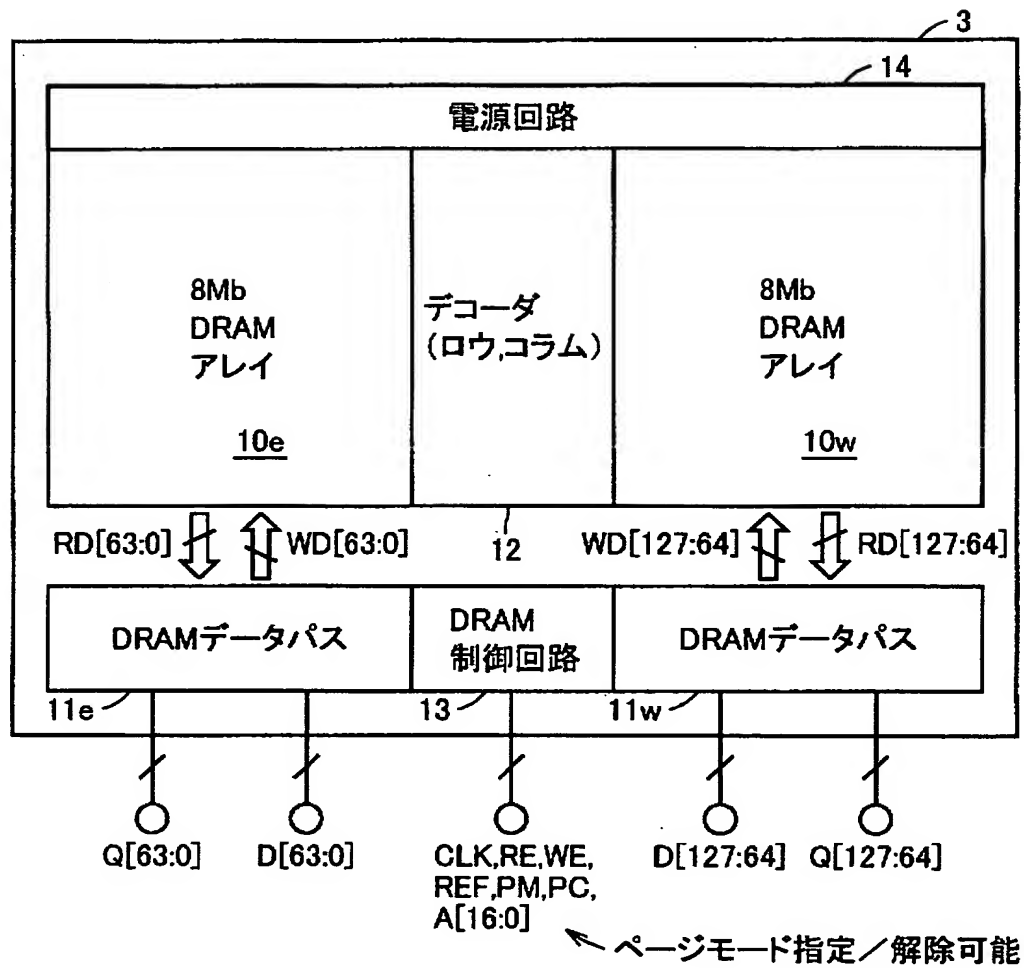
モードレジスタ回路、110a LD回路、110b マルチプレクサ、110c Dフリップフロップ、112 複合ゲート、114 AND回路、120ea、120wa バンクAアレイ、120eb, 120wb バンクBアレイ、122a バンクAデコーダ、122b バンクBデコーダ、124 DRAM制御回路、130 バンクA制御回路、132 バンクD制御回路、150 複合ゲート、151, 152 Dフリップフロップ、153, 159 OR回路、155, 157 遅延回路、156, 158 ゲート回路、160 バッファ回路、165 PLL、165c 電圧制御発信回路、170 電圧制御発信機 (VCO)、171-174 遅延回路。

【書類名】 図面

【図 1】



【図 2】



【図 3】

	制御信号				機能
	RE	WE	REF	PM	PC
MNEMONIC					
NOP	L	L	L	L	L
RE	H	L	L	L	L
REPM	H	L	L	H	L
REPC	H	L	L	L	H
WE	L	H	L	L	L
WEPM	L	H	L	H	L
WEPC	L	H	L	L	H
PC	L	L	L	L	H
REF	L	L	H	L	L

ノーオペレーション

リード動作を行い、その後ページを閉じる

リード動作を行い、その後ページを開いた状態を保持する

ページを開いた期間中にリード動作を行い、その後ページを閉じる

ライト動作を行い、その後ページを閉じる

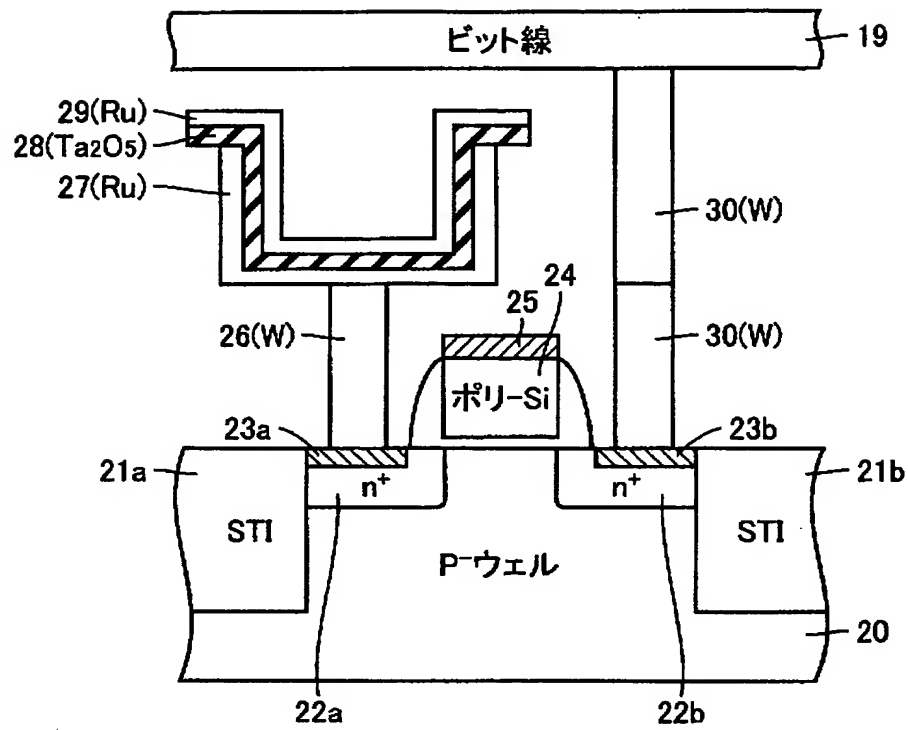
ライト動作を行い、その後ページを開いた状態を維持する

ページが開いた期間中にライト動作を行い、その後ページを閉じる

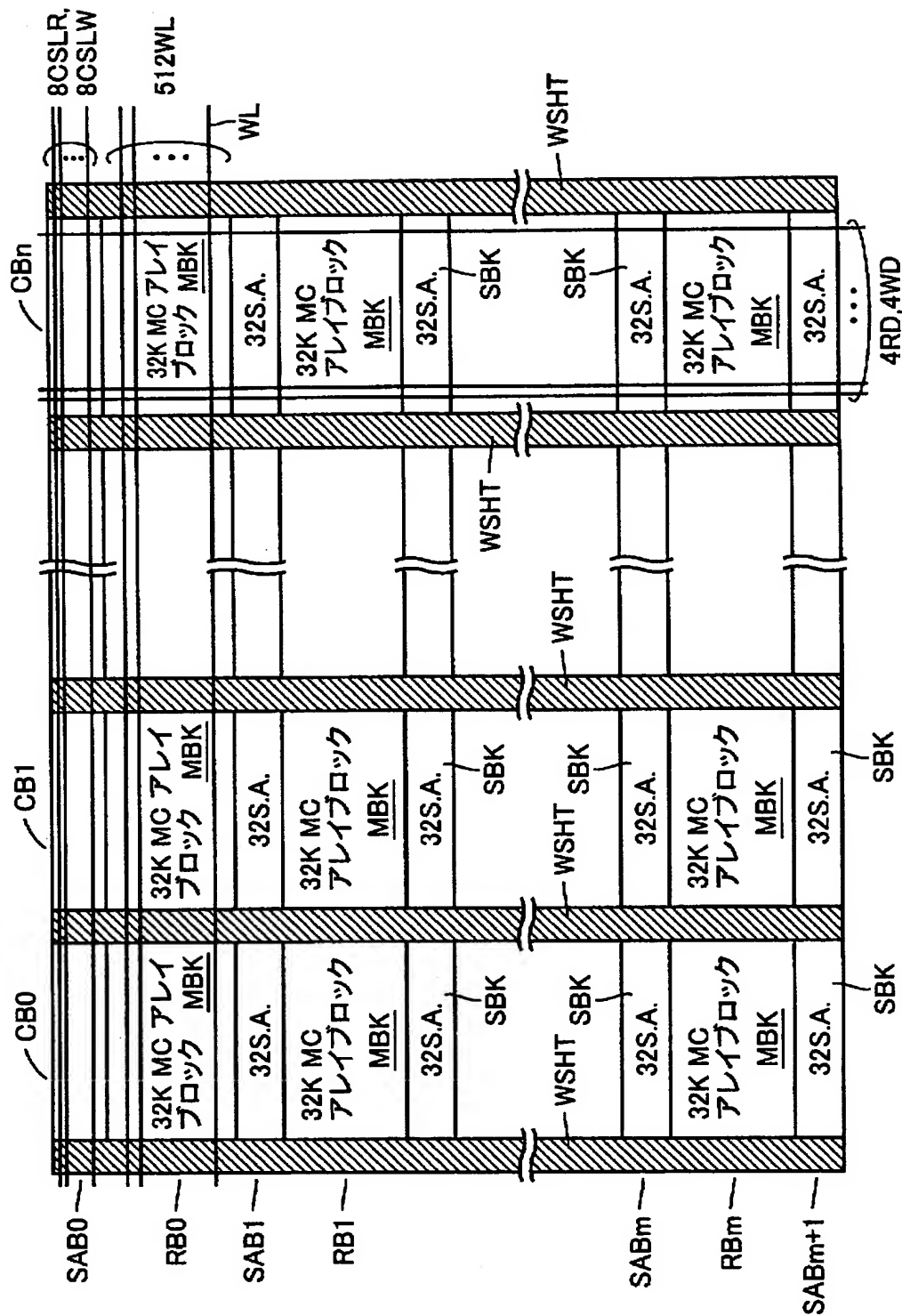
開いているページを閉じる

オートリフレッシュを行う

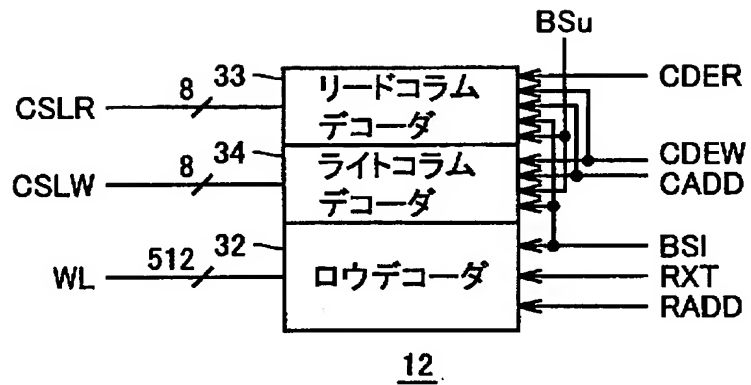
【図 4】



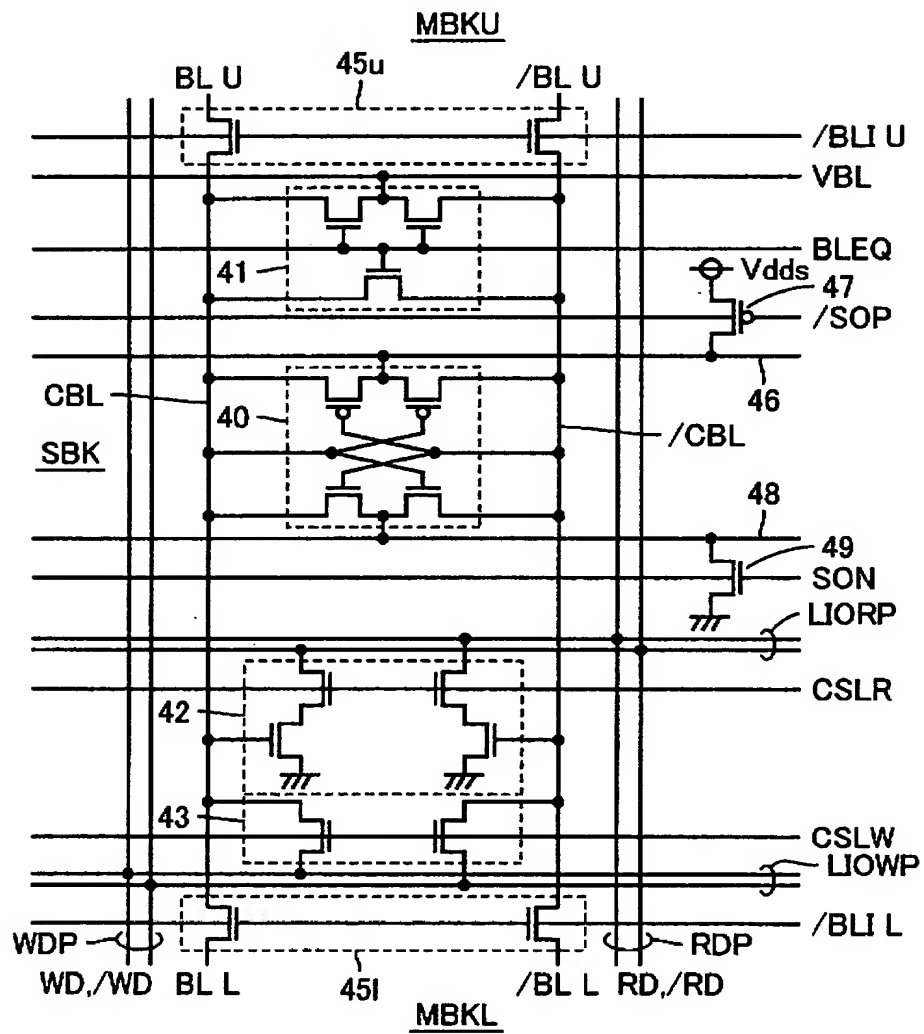
【図5】



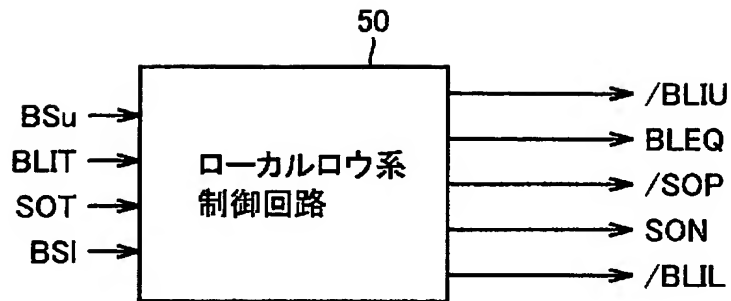
【図 6】



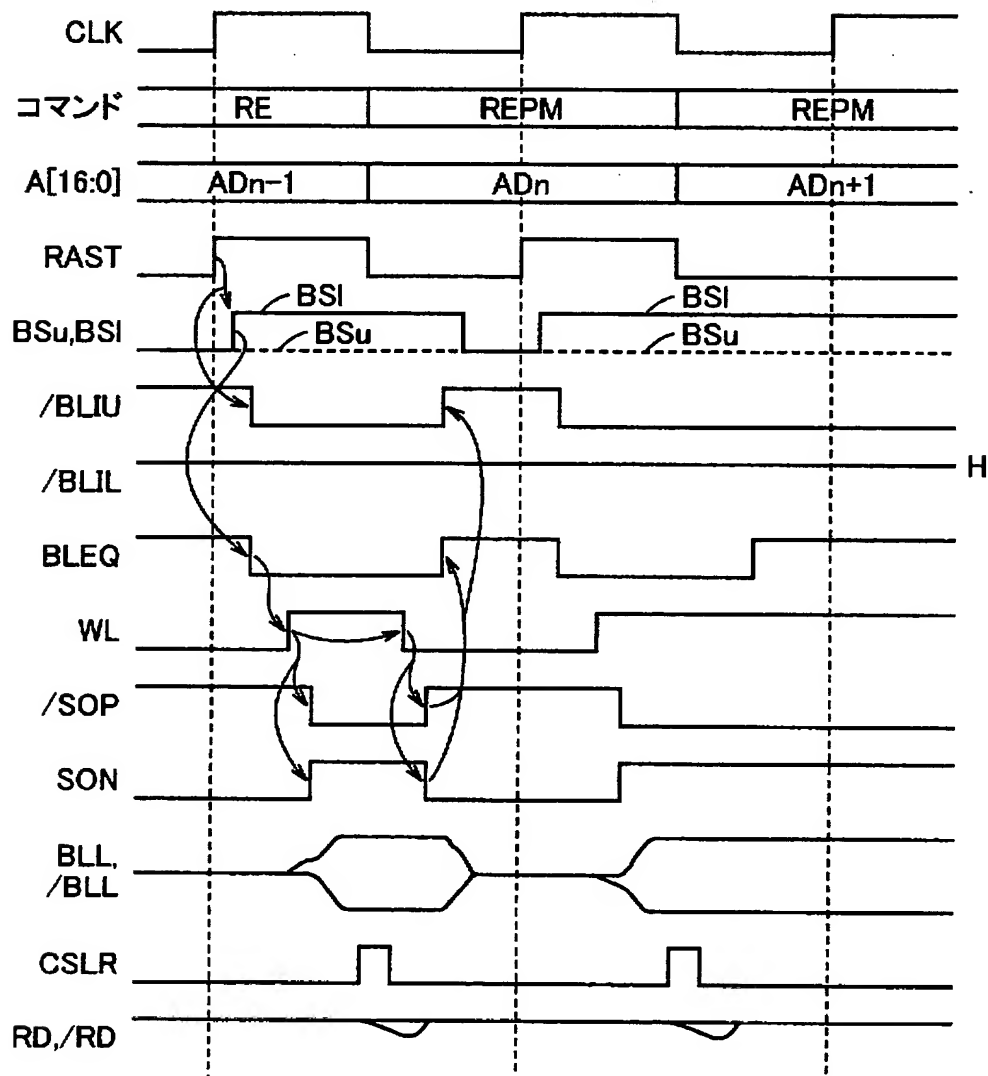
【図 7】



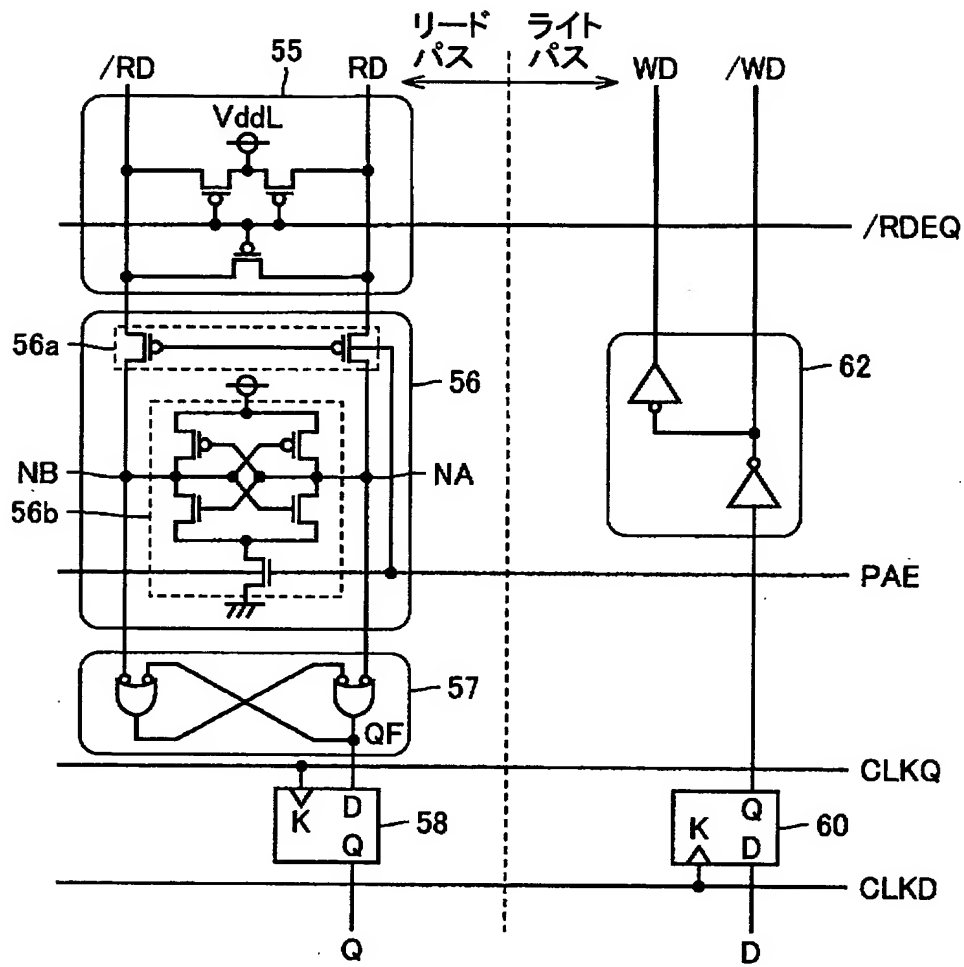
【図 8】



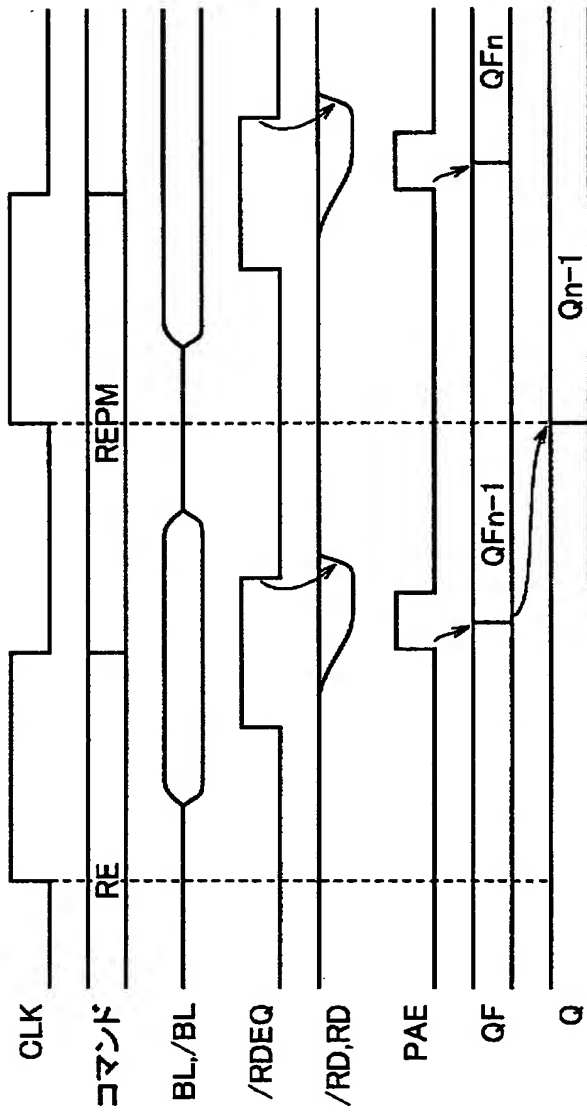
【図 9】



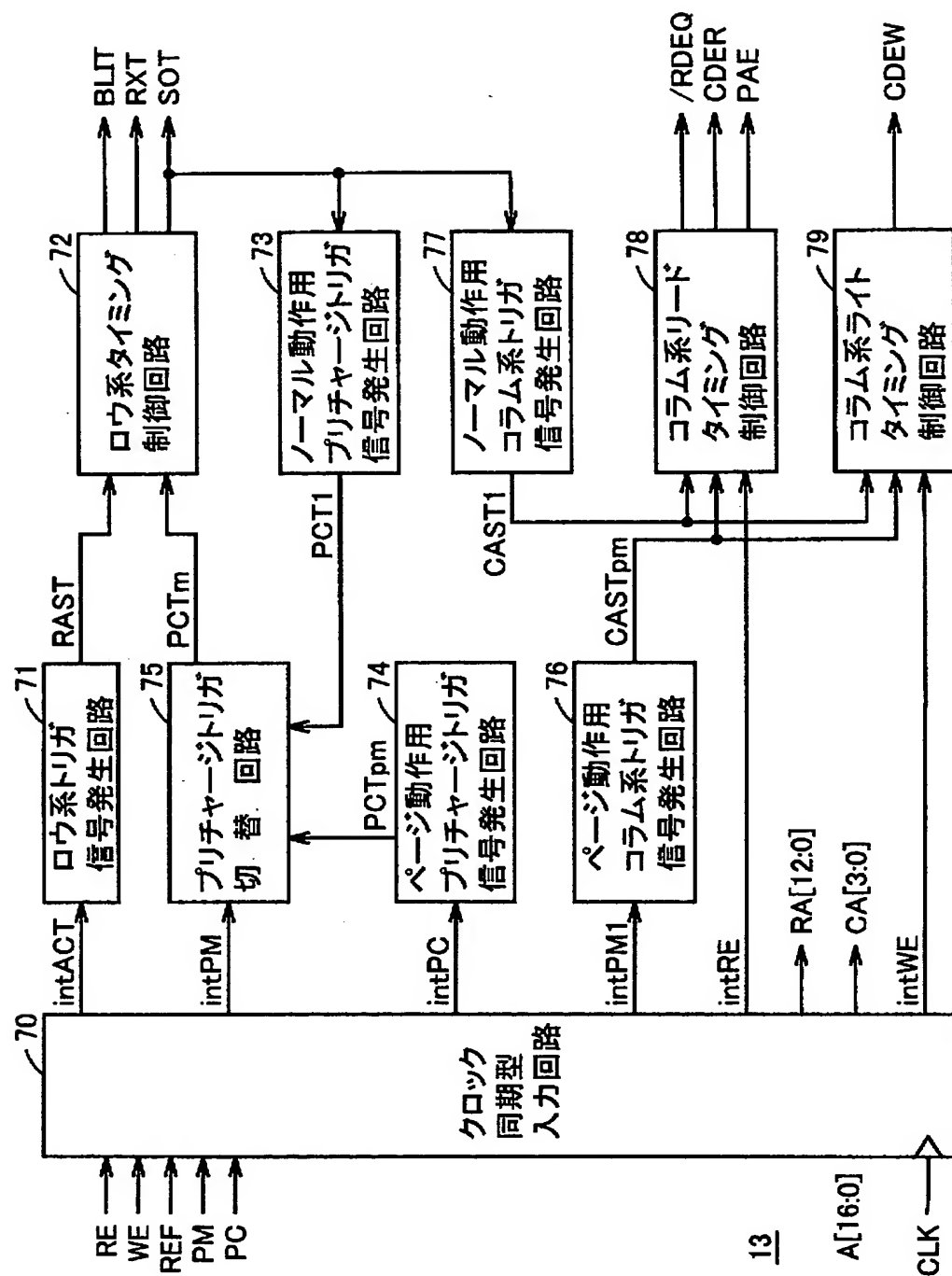
【図10】



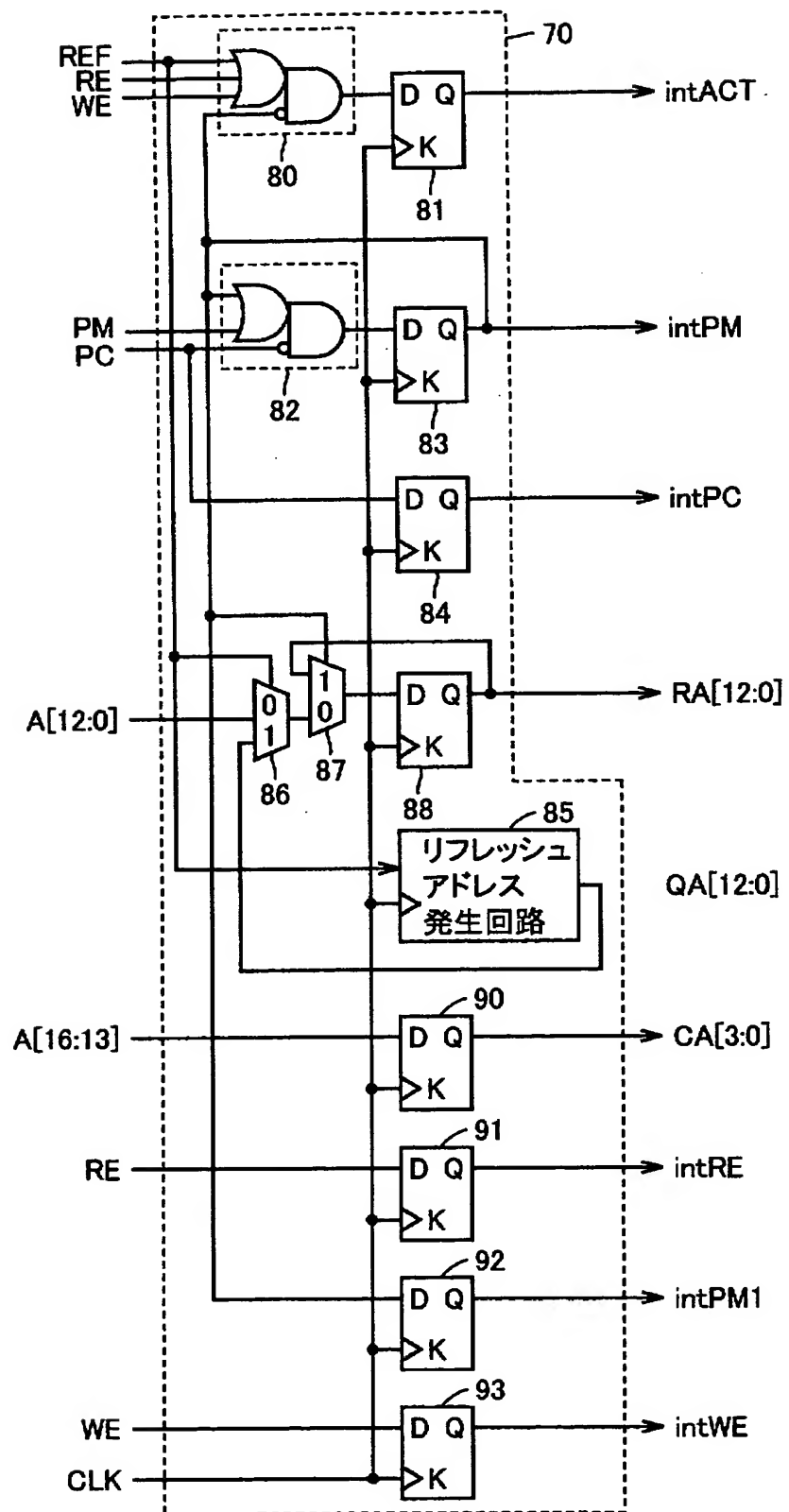
【図 1 1】



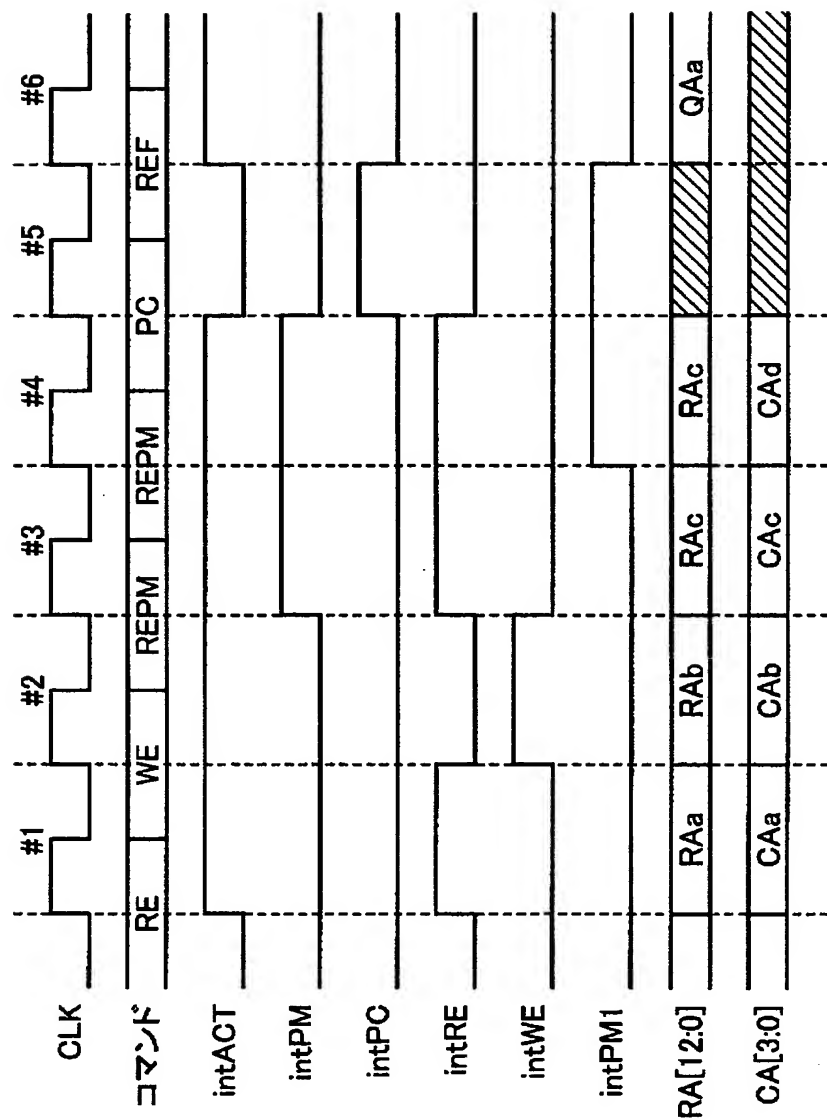
【図 12】



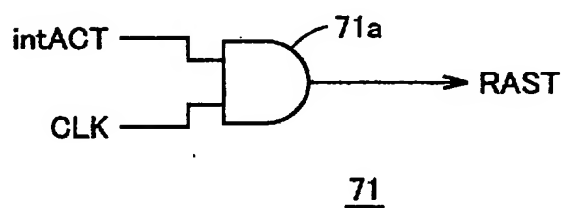
【図13】



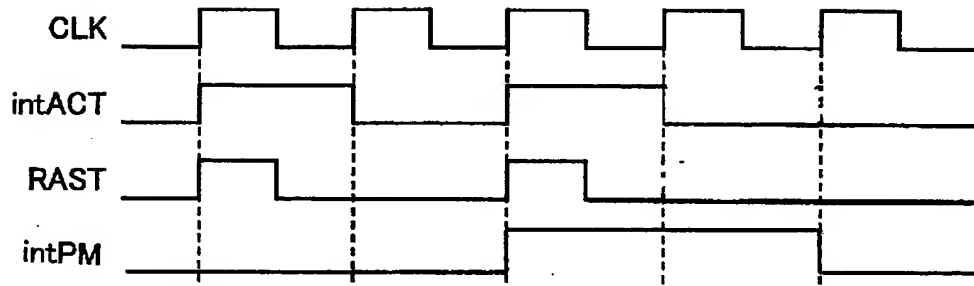
【図 1 4】



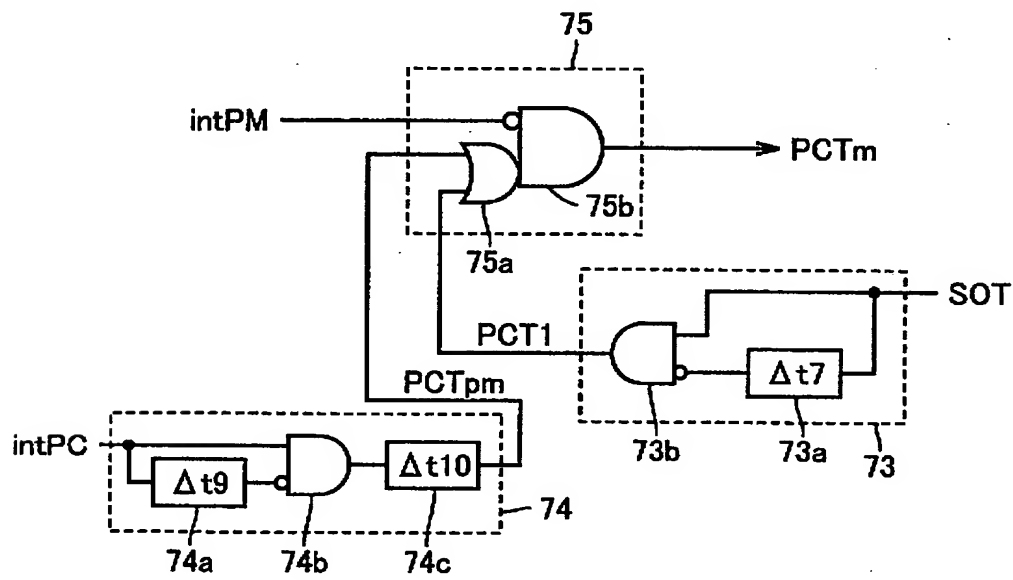
【図 1 5】



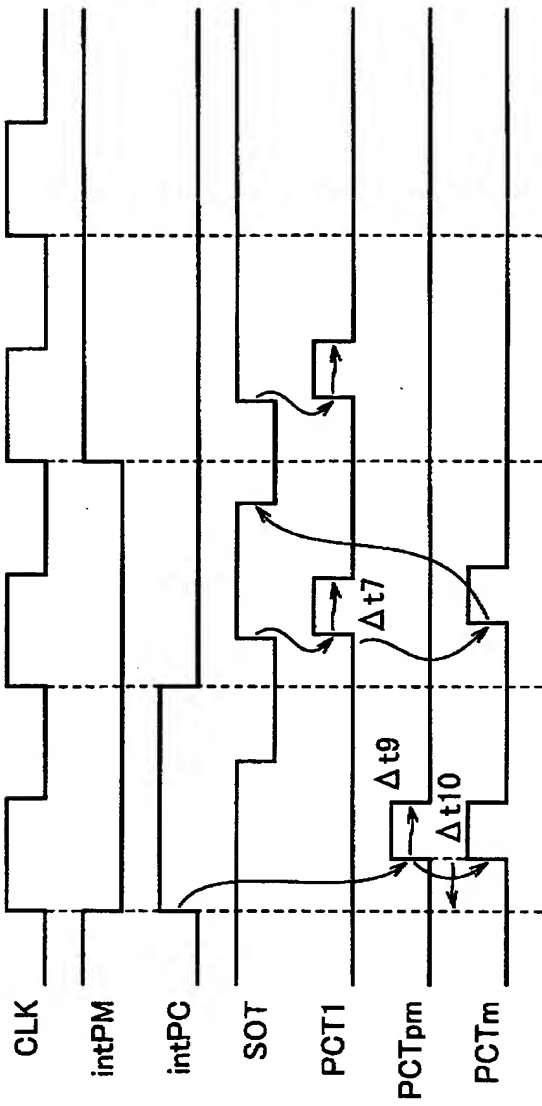
【図 1 6】



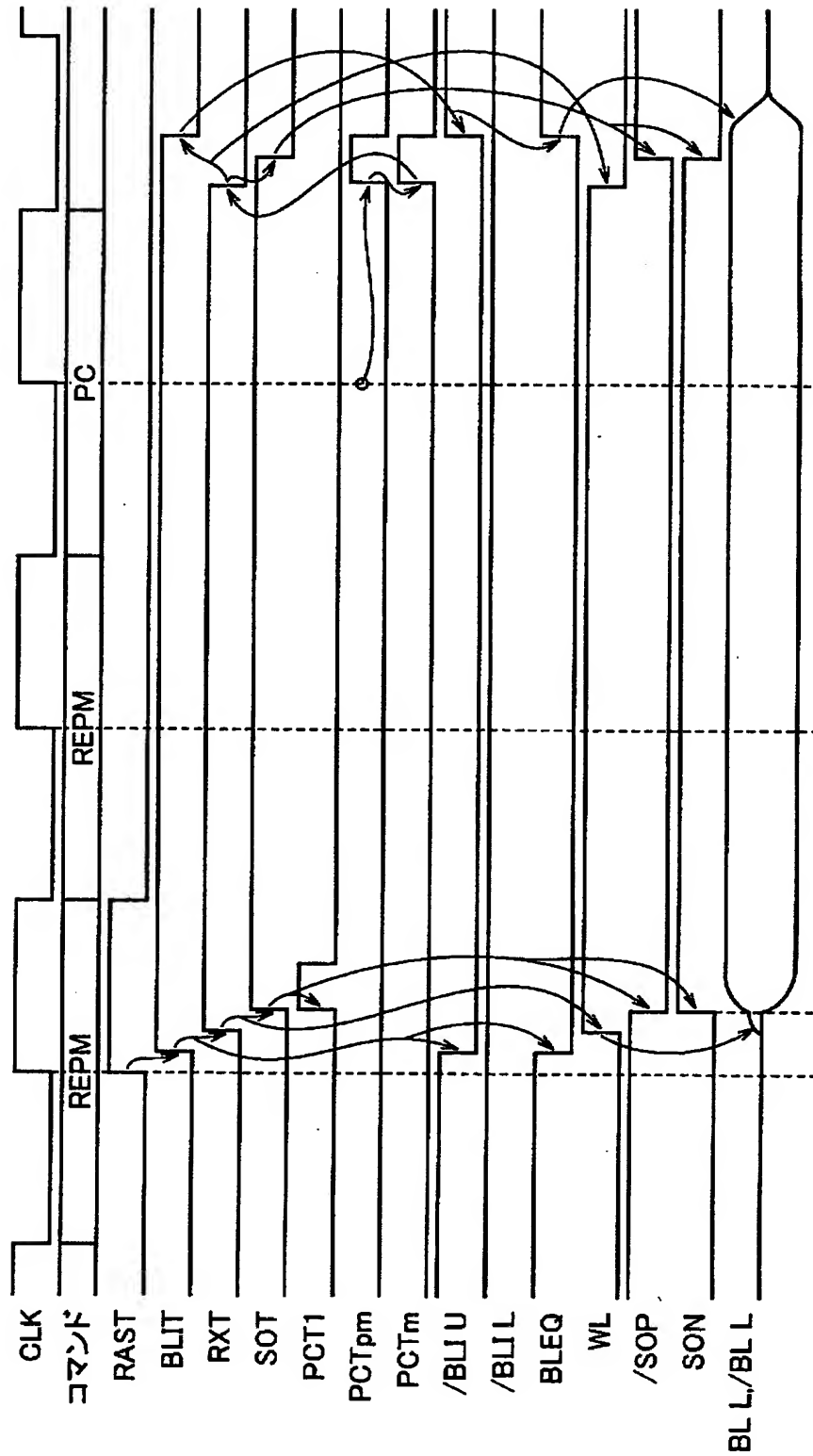
【図 1 7】



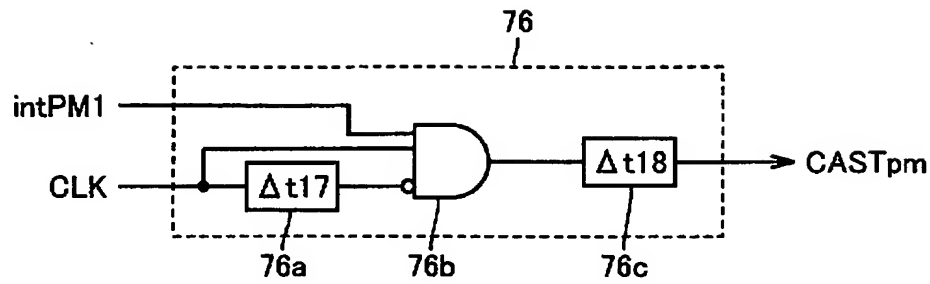
【図 1 8】



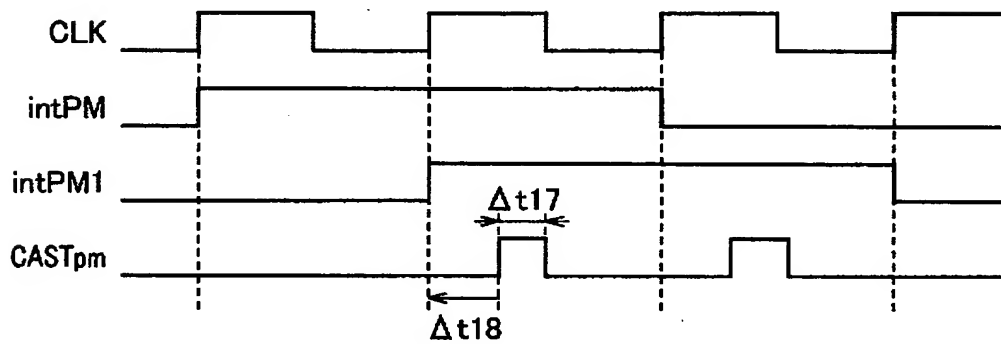
【図 21】



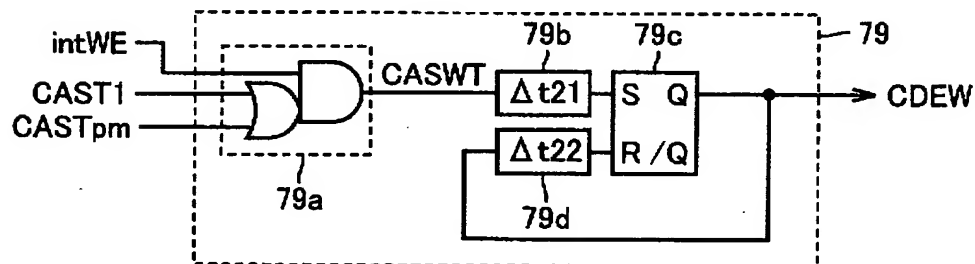
【図 2 2】



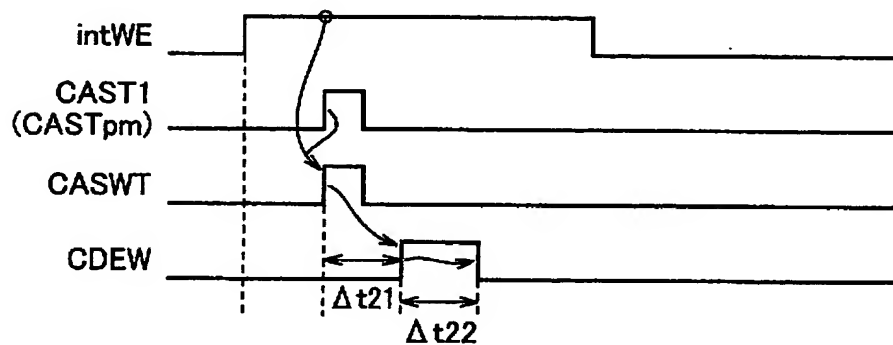
【図 2 3】



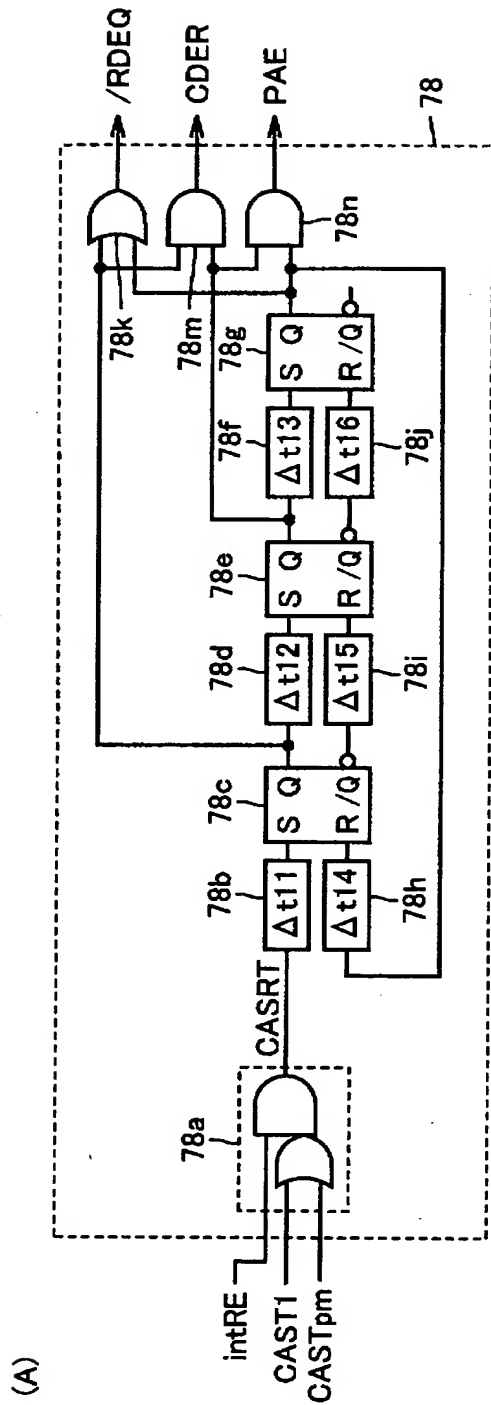
【図 2 4】



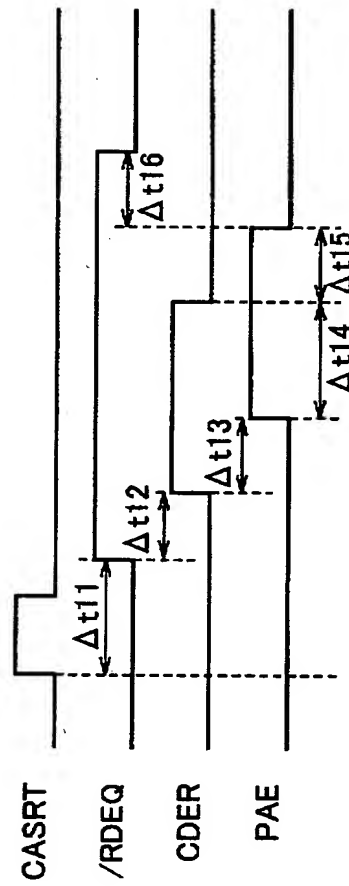
【図 2 5】



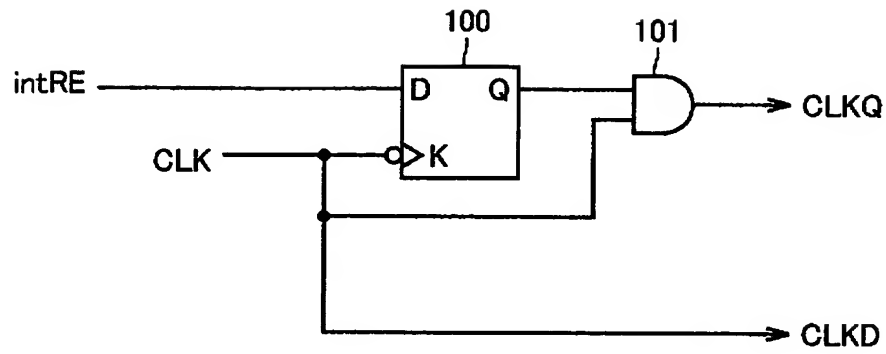
【図 2 6】



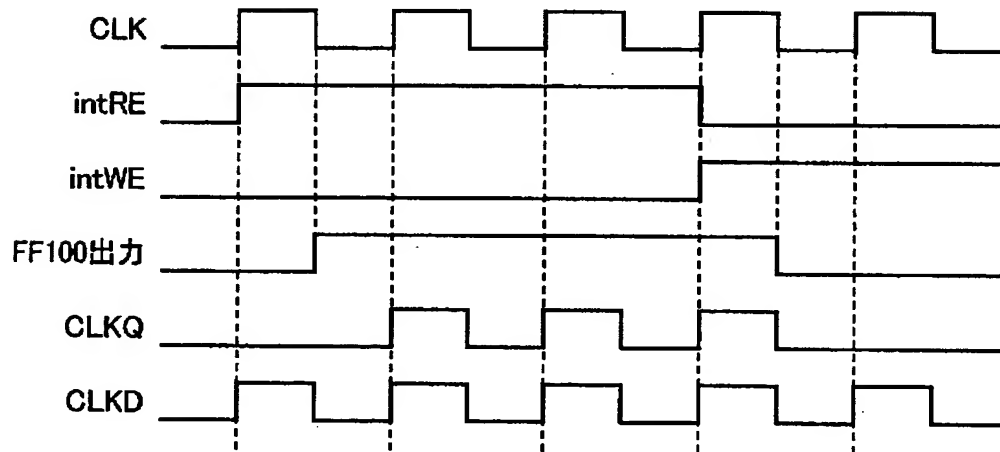
(B)



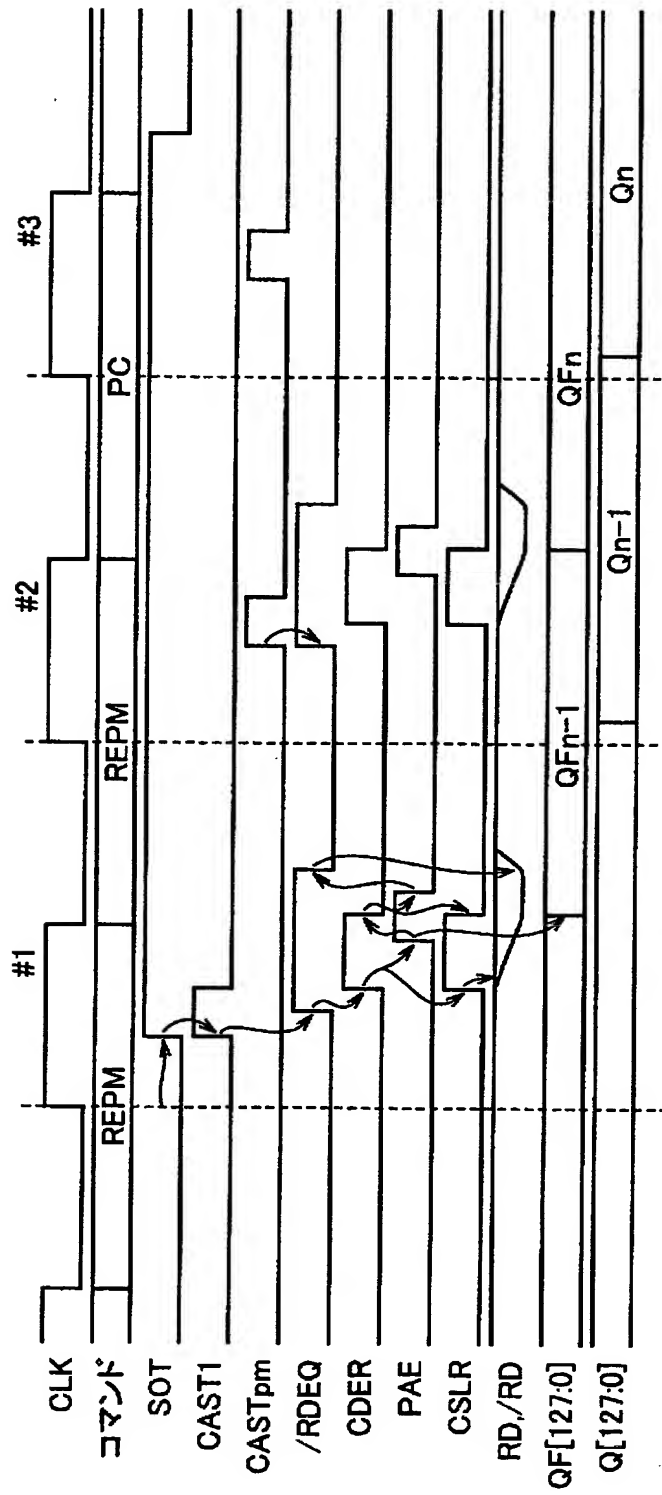
【図 2 7】



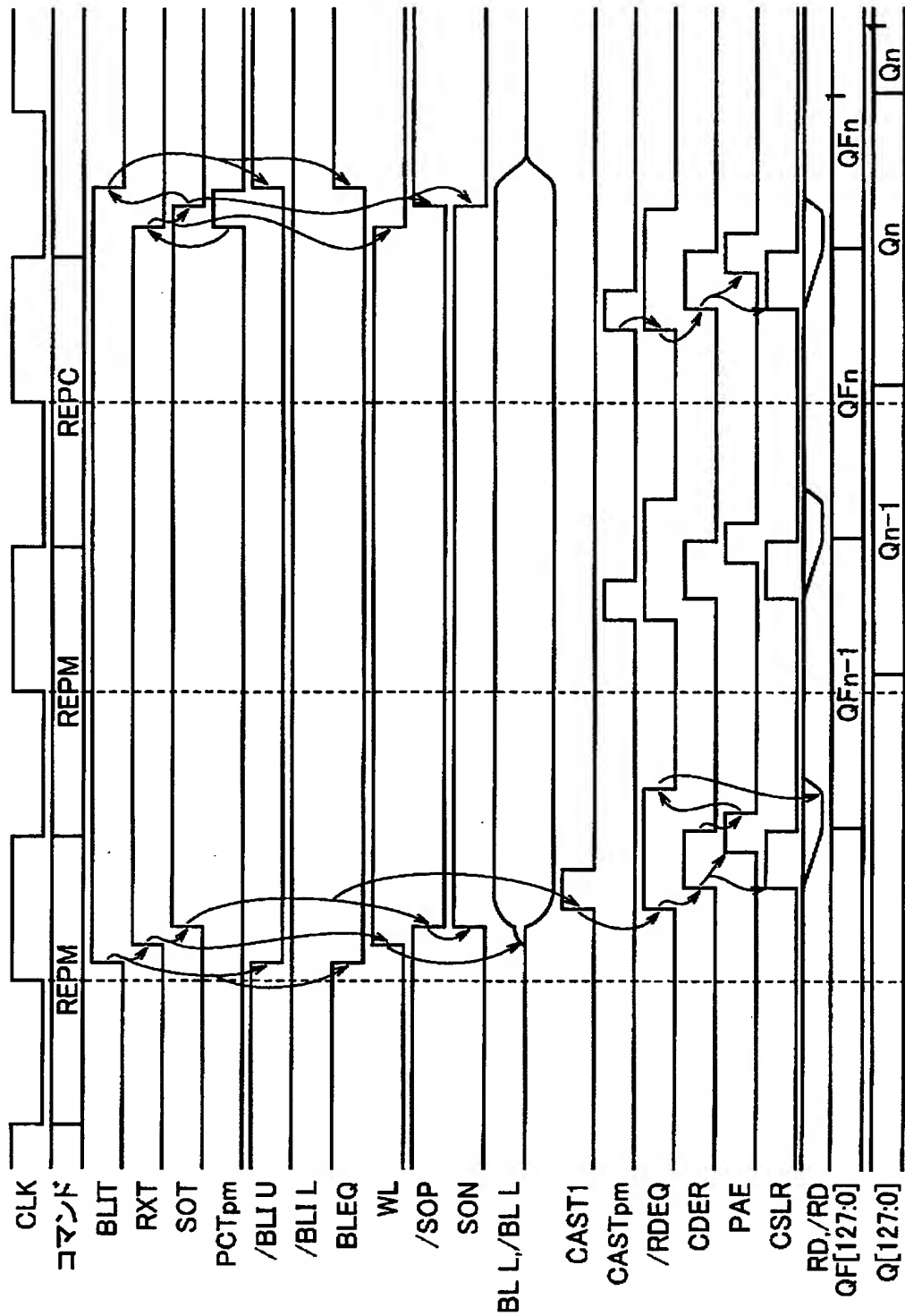
【図 2 8】



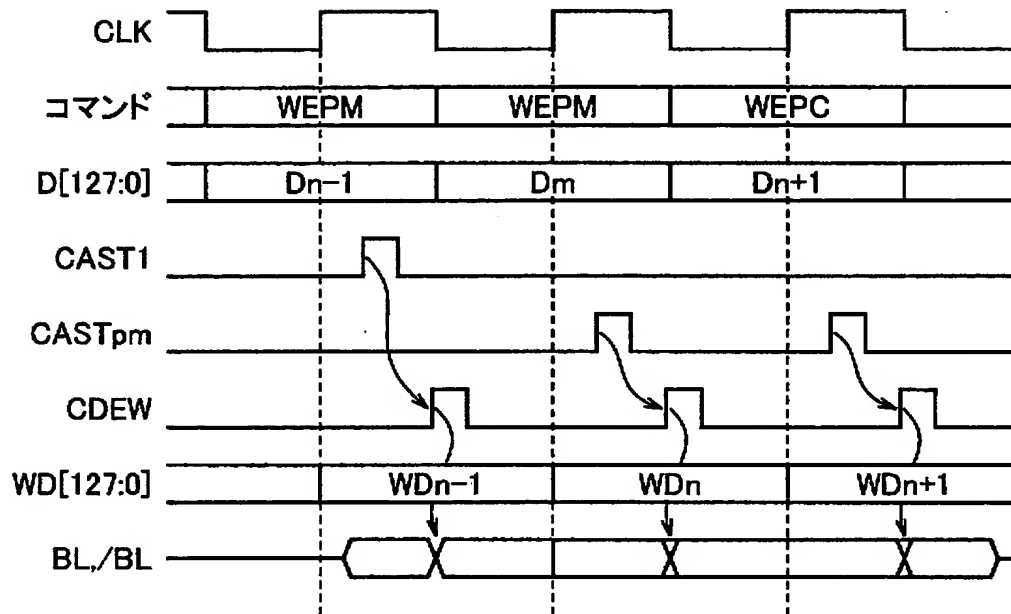
【図 29】



【図 30】



【図 3 1】



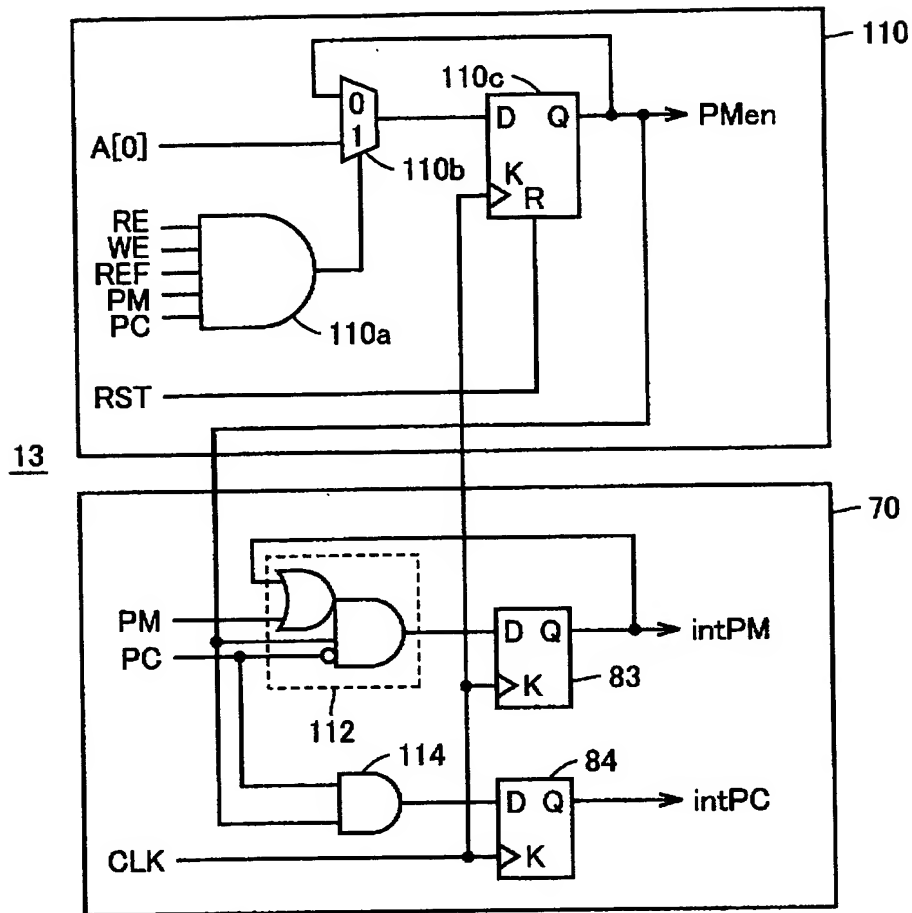
【図 3 2】

ニモーニツク	RE	WE	REF	PM	PC	機能
MRS	H	H	H	H	H	モードレジスタセット

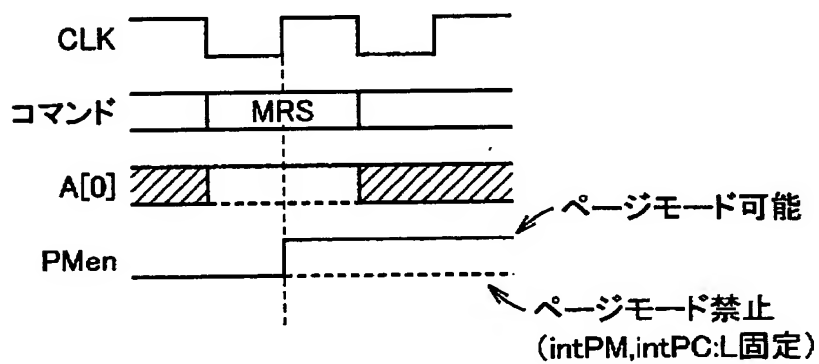
【図 3 3】

	A[16:1]	A[0]
ページ機能無し	ドントケア	L
ページ機能有り	ドントケア	H

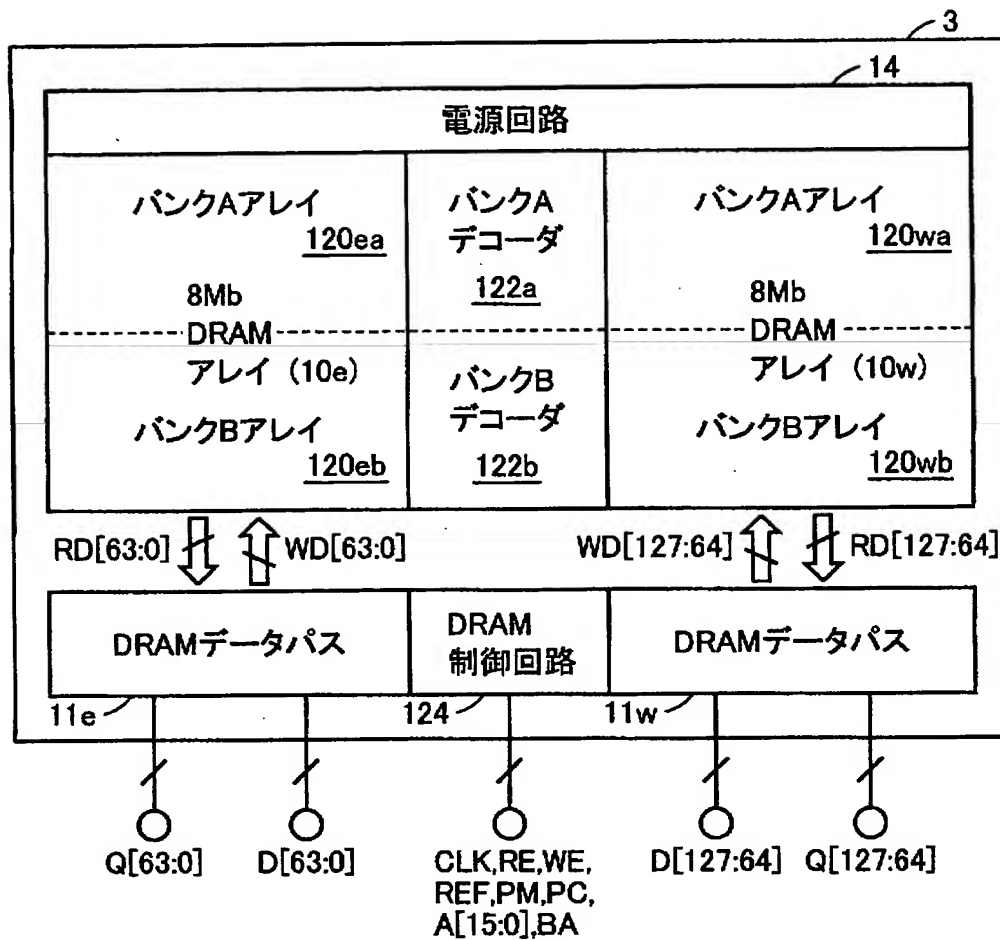
【図 3 4】



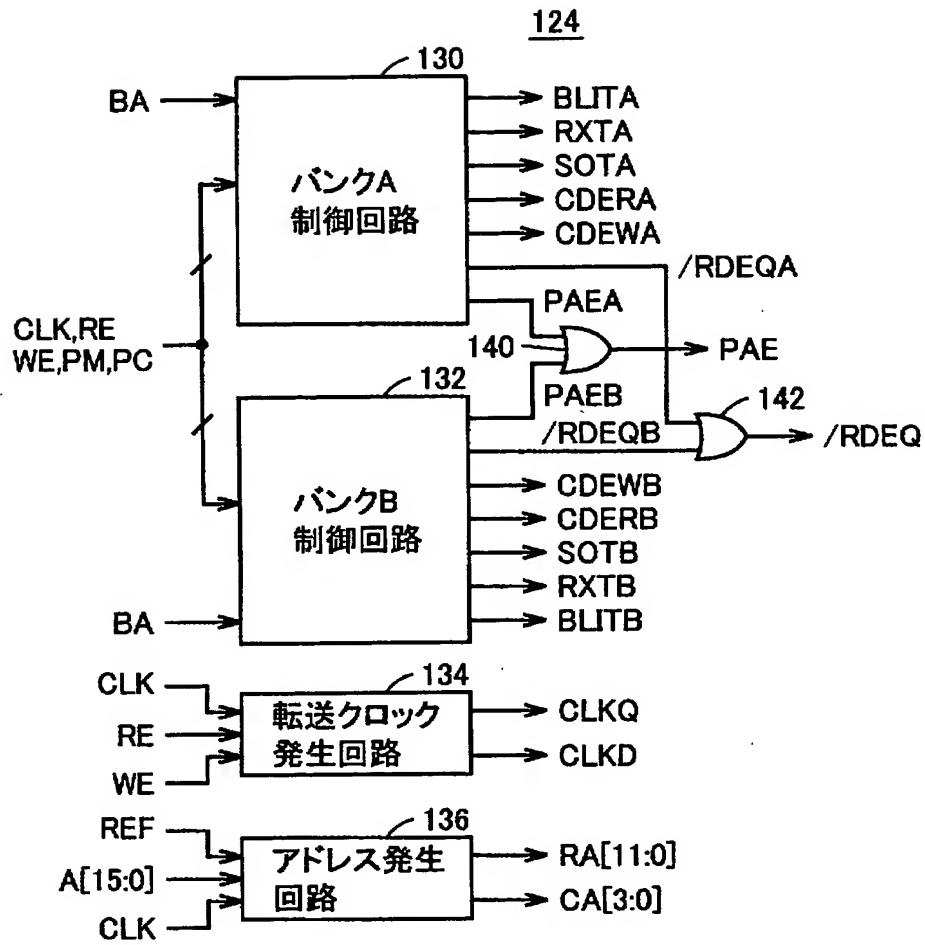
【図 3 5】



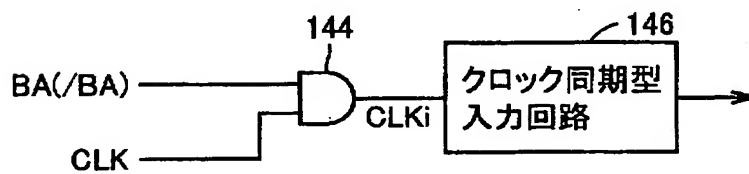
【図 3 6】



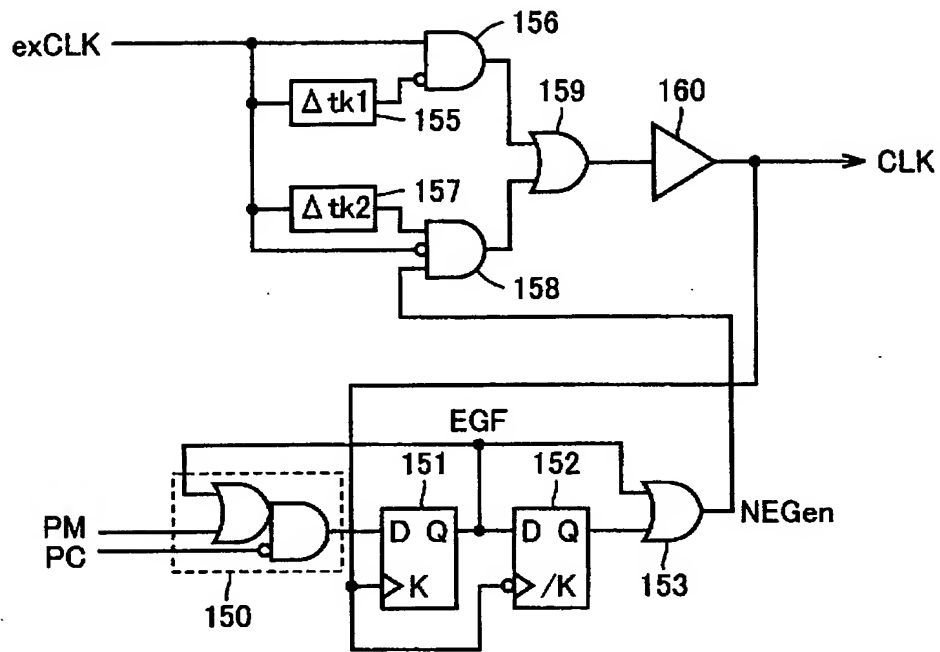
【図 3 7】



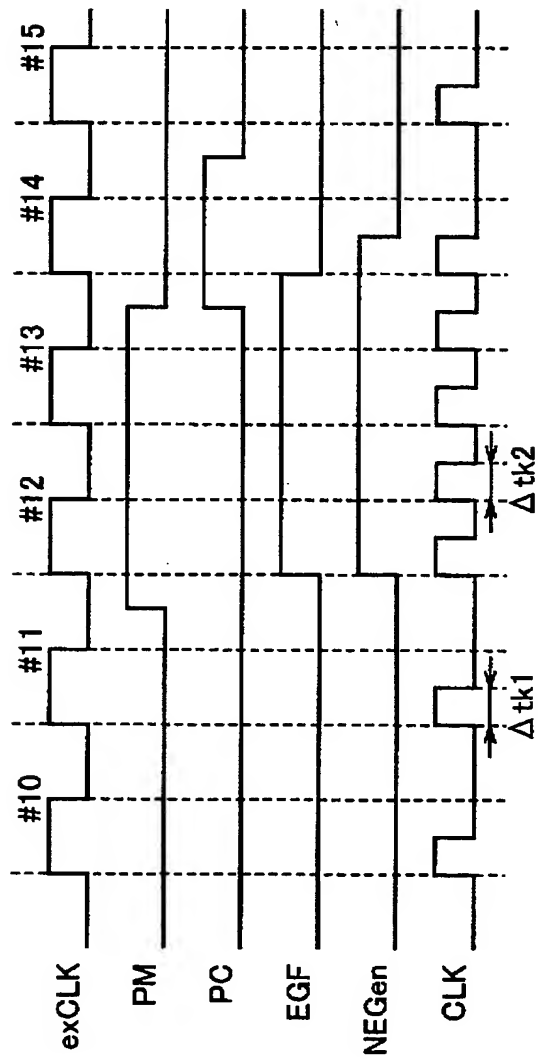
【図 3 8】



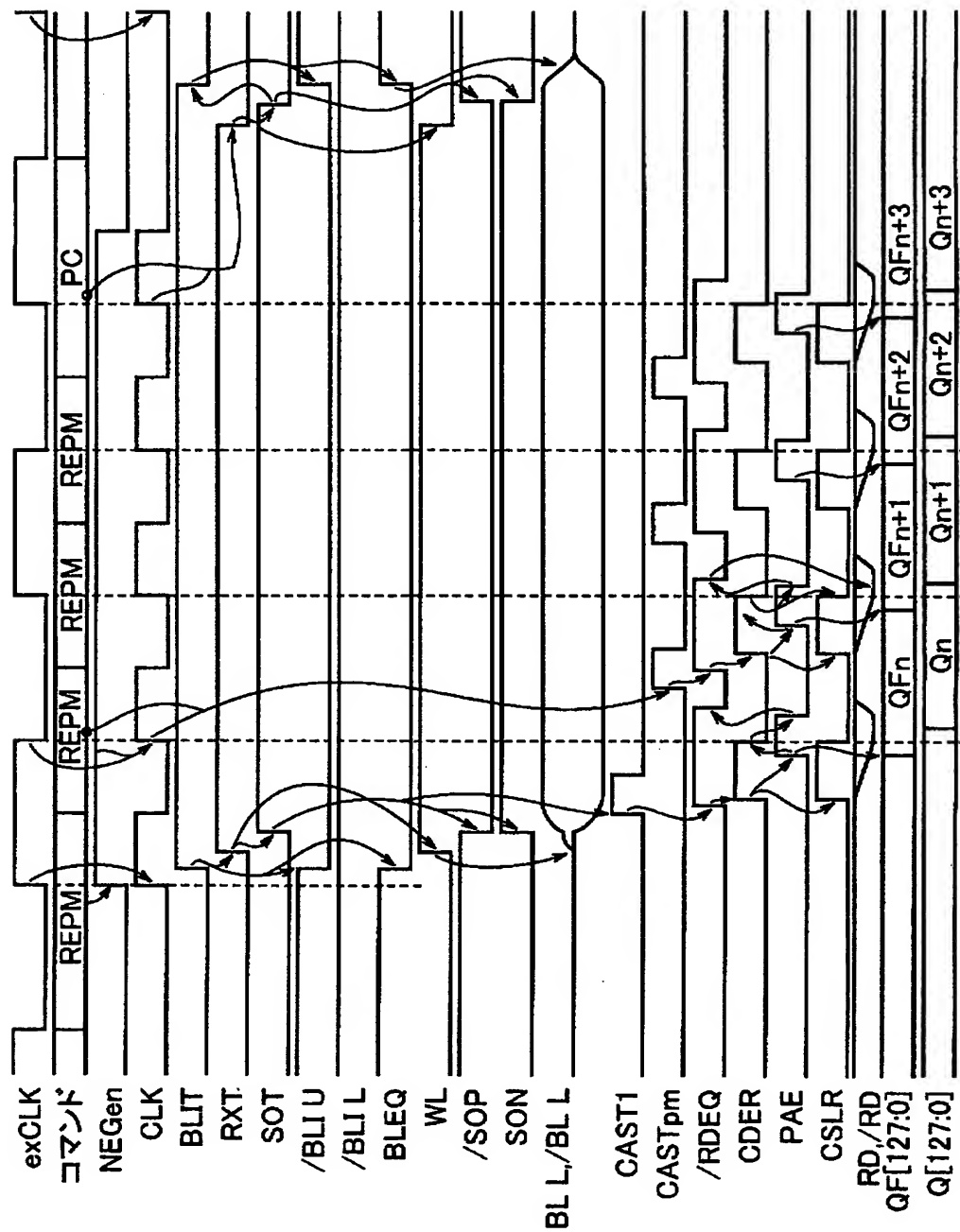
【図 3 9】



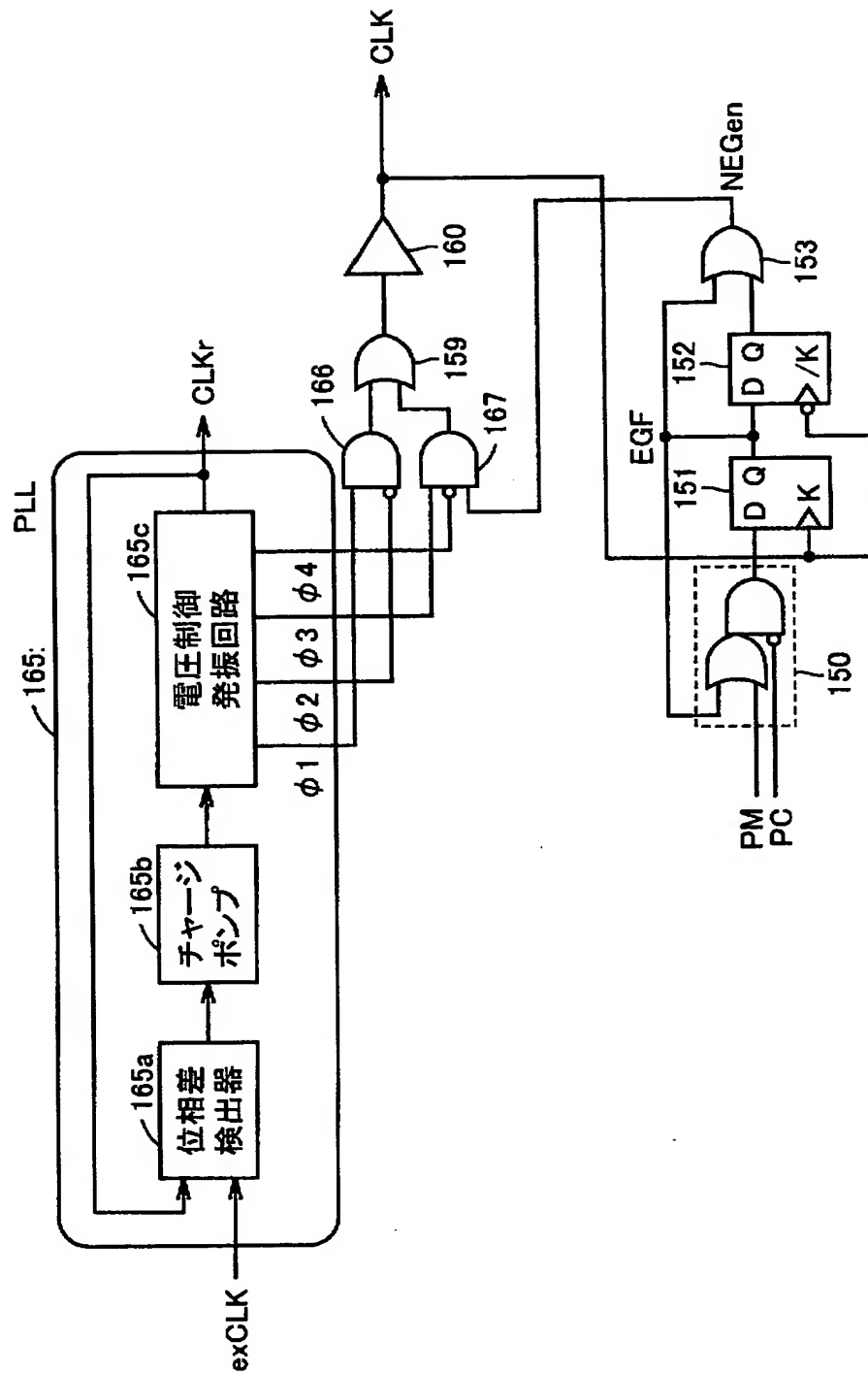
【図 4 0】



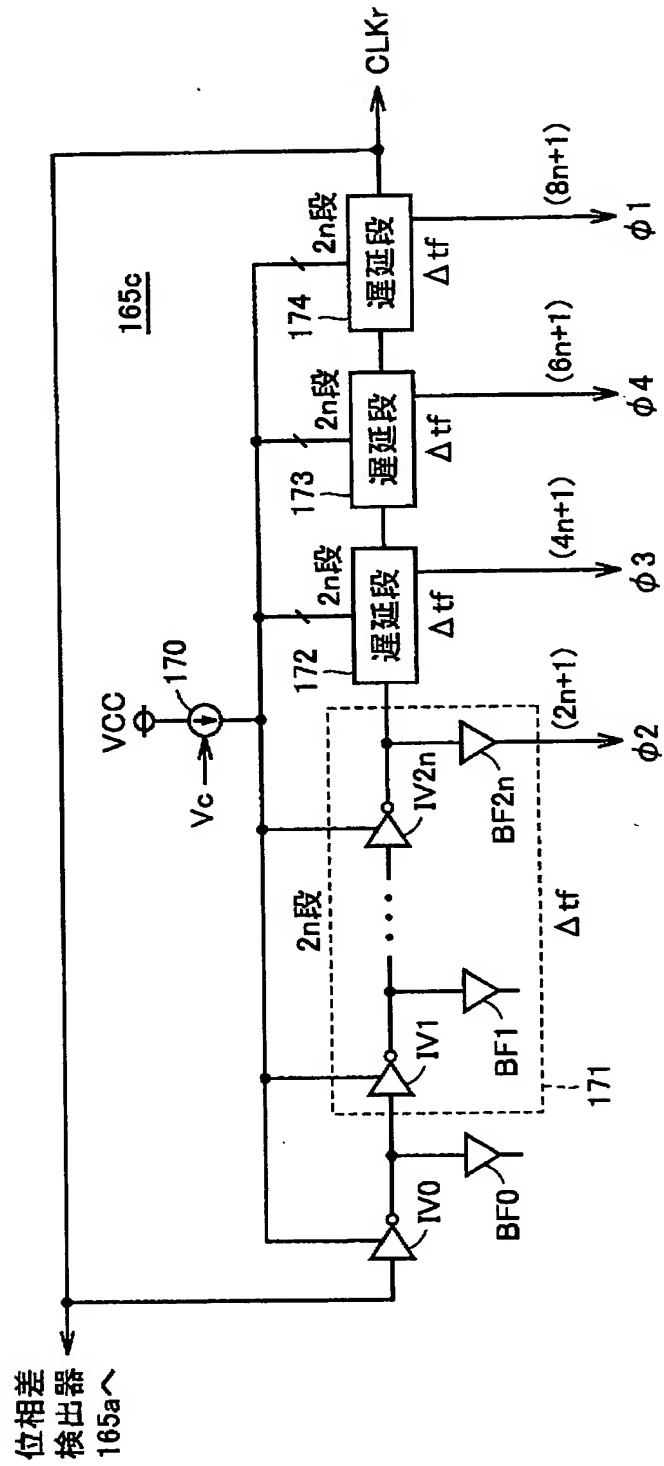
【図 4 1】



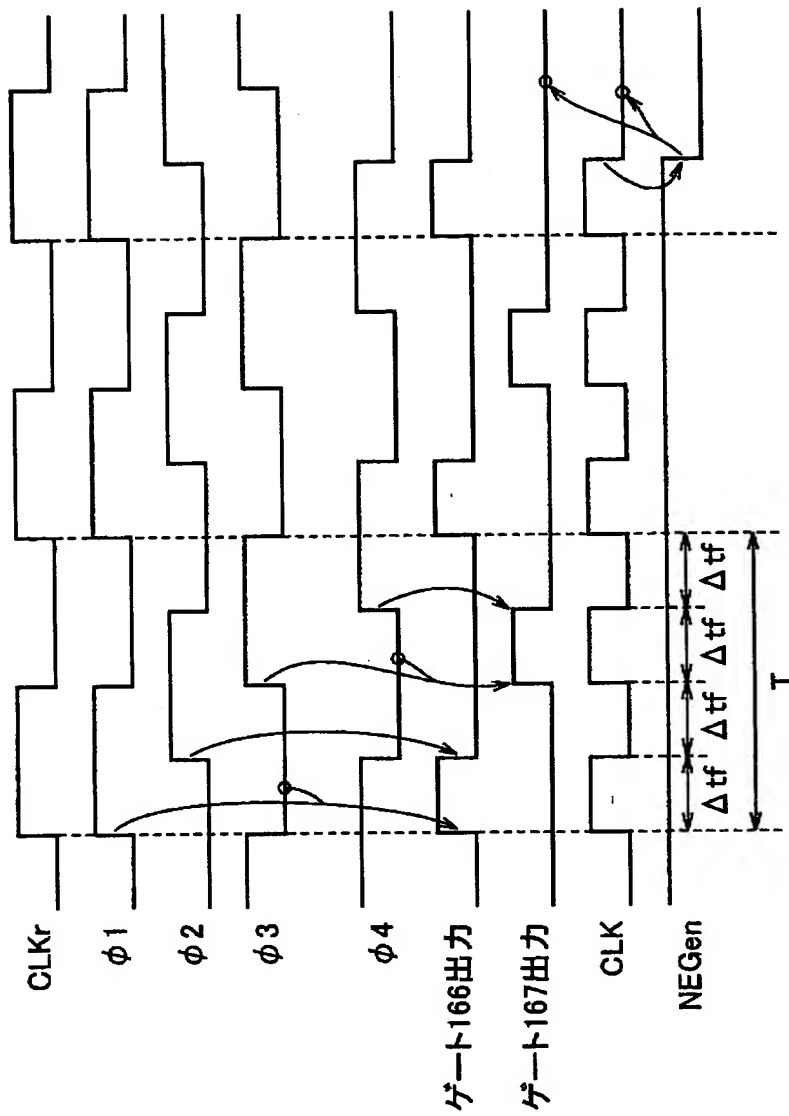
【図 4 2】



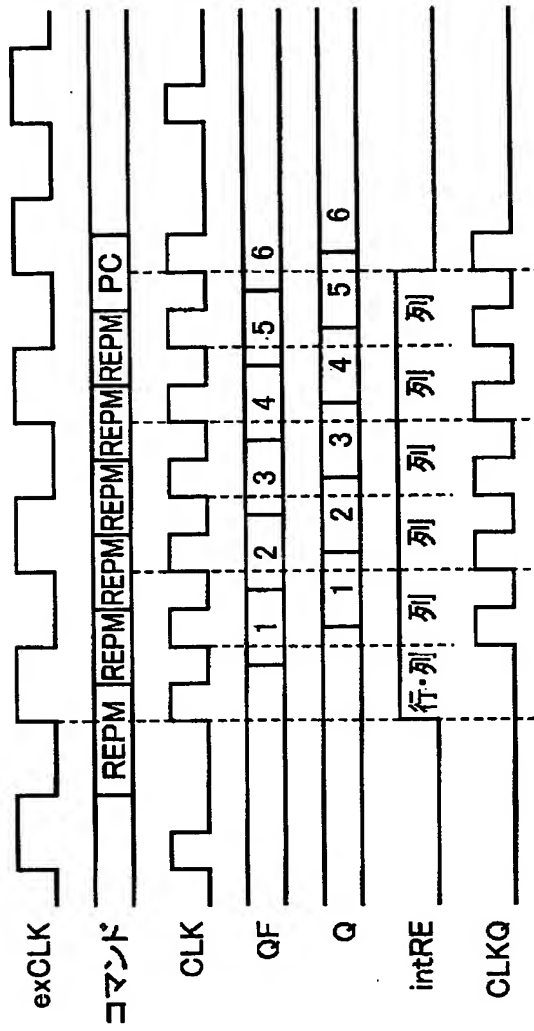
【図 4 3】



【図 44】



【図 45】



【書類名】 要約書

【要約】

【課題】 擬似 S R A M の消費電力を動作速度を低下させることなく低減する。

【解決手段】 クロック信号（C L K）に同期して動作する擬似 S R A M マクロ（3）に対し、動作モードを指定する制御信号として、ページ動作を指示するページ動作指示信号（P M）とページ動作完了を示すページクローズ指示信号（P C）とを設ける。これらのページ動作指示信号およびページクローズ指示信号に従って擬似 S R A M を選択的にページモードで動作させることができ、各クロックサイクルにおける行系回路の動作を禁止することができ、平均消費電力を低減することができる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社